



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2000295088 A**

(43) Date of publication of application: **20.10.2000**

(51) Int. Cl. H03K 19/0175
H03F 3/68

(21) Application number: **11099158**
(22) Date of filing: **06.04.1999**

(71) Applicant: **NEC CORP**
(72) Inventor: **OKAMURA ATSUSHI**

(54) OUTPUT CIRCUIT

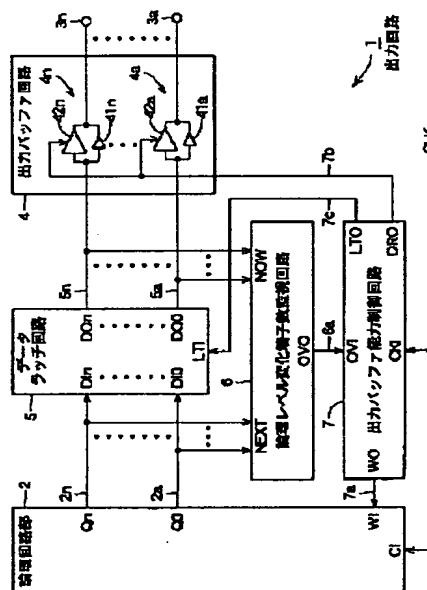
(57) Abstract:

PROBLEM TO BE SOLVED: To solve the problem of an EMI(electromagnetic interference) while corresponding to an acceleration request of an output operation by reducing the occurrence of noise involved in output simultaneous change by setting output driving capability small when the number of output terminals whose output level changes surpasses a preliminarily set prescribed number.

SOLUTION: A data latch circuit 5 latches output data 2a to 2n of a logic circuit part 2. An output buffer circuit 4 drives respective output terminals 3a to 3n on the basis of latch outputs 5a to 5n. The circuit 4 is configured by parallelly connecting a tri-state buffer 41 whose driving capability is large and a buffer 42 whose driving capability is small. A logical level change number monitoring circuit 6 compares the current output state with the next output state, and when the number of terminals whose output states are inverted surpasses a preliminarily set allowable value, outputs a signal 6a which indicates the number of changed terminals is too large. An output buffer capability control

circuit 7 makes the buffer 41 a non-operational state only for a prescribed period and lowers output driving capability.

COPYRIGHT: (C)2000,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-295088

(P2000-295088A)

(43) 公開日 平成12年10月20日 (2000.10.20)

(51) Int.Cl.⁷

識別記号

F I

テコード* (参考)

H 0 3 K 19/0175

H 0 3 K 19/00

1 0 1 F

5 J 0 5 6

H 0 3 F 3/68

H 0 3 F 3/68

B

5 J 0 6 9

H 0 3 K 19/00

1 0 1 J

審査請求 有 請求項の数 8 O L (全 23 頁)

(21) 出願番号

特願平11-99158

(22) 出願日

平成11年4月6日 (1999.4.6)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 岡村 淳

東京都港区芝五丁目7番1号 日本電気株

式会社内

(74) 代理人 100079164

弁理士 高橋 勇

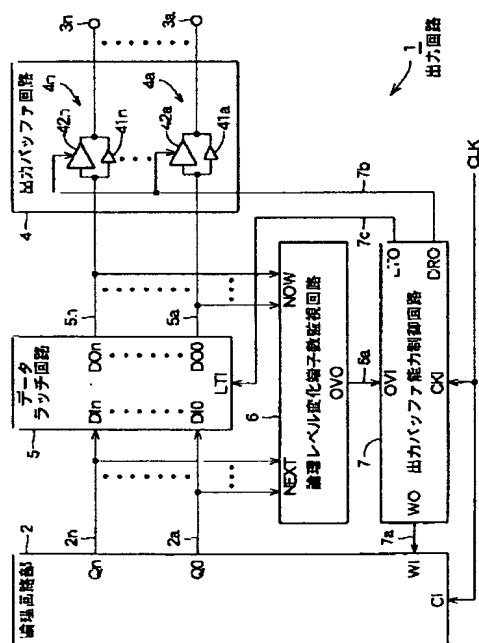
最終頁に続く

(54) 【発明の名称】 出力回路

(57) 【要約】

【課題】 出力レベルが変化する出力端子数が予め設定した所定数を越える場合には、出力駆動能力を小さく設定することで出力同時変化に伴うノイズの発生を軽減させることで、出力動作の高速化要求に対応しながら、EMI (電磁障害) の問題を解消する。

【解決手段】 論理回路部2の出力データ2a~2nをデータラッチ回路5でラッチする。出力バッファ回路4は、ラッチ出力5a~5nに基づいて各出力端子3a~3nを駆動する。出力バッファ回路4は、駆動能力の大きいトライステートバッファ41と駆動能力の小さいバッファ42とを並列に接続して構成する。論理レベル変化数監視回路6は、現在の出力状態と次の出力状態とを比較し、出力状態が反転する端子数が予め設定した許容値を越える場合は、変化端子数過大信号6aを出力する。出力バッファ能力制御回路7は、所定期間だけトライステートバッファ41を非動作状態にして、出力駆動能力を低下させる。



【特許請求の範囲】

【請求項１】 複数の端子の現在の論理レベル状態と前記複数の端子に次に出力すべき論理レベル状態とを比較することで論理レベル状態が変化する端子の端子数を求めるとともに、求めた端子数と予め設定した論理レベル変化許容端子数とを比較し、求めた端子数が論理レベル変化許容端子数を越えている場合に論理レベル変化端子数が過大であることを示す論理レベル変化端子数過大信号を出力する論理レベル変化端子数監視回路と、前記論理レベル変化端子数過大信号に基づいて出力バッファ回路の駆動能力を低下させる出力バッファ能力制御回路とを備えたことを特徴とする出力回路。

【請求項２】 前記出力バッファ回路は、駆動能力の小さいバッファ回路と駆動能力の大きいトリステートバッファ回路とを並列に接続してなり、前記出力バッファ能力制御回路は、前記トリステートバッファ回路を非動作状態に制御することで出力バッファ回路の駆動能力を低下させることを特徴とする請求項１記載の出力回路。

【請求項３】 前記出力バッファ回路は、駆動能力の小さいトリステートバッファ回路と駆動能力の大きいトリステートバッファ回路とを並列に接続してなり、前記出力バッファ能力制御回路は、前記駆動能力の大きいトリステートバッファ回路を非動作状態に制御することで出力バッファ回路の駆動能力を低下させ、さらに、前記各トリステートバッファ回路をとともに非動作状態に制御することで前記端子を入力端子としても利用できる構成としたことを特徴とする請求項１記載の出力回路。

【請求項４】 複数の端子の現在の論理レベル状態と前記複数の端子に次に出力すべき論理レベル状態とを比較することで論理レベル状態が変化する端子の端子数を求めるとともに、求めた端子数と予め設定した論理レベル変化許容端子数とを比較し、求めた端子数が論理レベル変化許容端子数を越えている場合に論理レベル変化端子数が過大であることを示す論理レベル変化端子数過大信号を出力する論理レベル変化端子数監視回路と、前記論理レベル変化端子数過大信号に基づいて出力バッファ回路の駆動能力を低下させるとともに、前記出力バッファ回路の駆動能力を低下させている状態に同期させて出力信号の取り込みを禁止させるための出力非確定状態信号を発生させる出力バッファ能力制御回路とを備えたことを特徴とする出力回路。

【請求項５】 論理回路部からクロックに同期して順次生成される複数ビットの並列信号に基づいて複数の端子群を駆動する出力回路において、出力駆動能力を可変することのできる出力バッファ回路と、前記複数の端子の現在の論理レベル状態と前記複数の端子に次に出力すべき論理レベル状態とを比較することで

論理レベル状態が変化する端子の端子数を求めるとともに、求めた端子数と予め設定した論理レベル変化許容端子数とを比較し、求めた端子数が論理レベル変化許容端子数を越えている場合に論理レベル変化端子数が過大であることを示す論理レベル変化端子数過大信号を出力する論理レベル変化端子数監視回路と、

前記論理レベル変化端子数過大信号に基づいて前記出力バッファ回路の駆動能力を所定クロック期間だけ低下させるとともに、前記論理回路部の動作を一時停止させるための一時停止要求信号を出力バッファ回路の駆動能力を低下させている期間に同期して生成し、さらに、前記出力バッファ回路の駆動能力を低下させている期間に同期して出力信号の取り込みを禁止させるための出力非確定状態信号を発生させる出力バッファ能力制御回路とを備えたことを特徴とする出力回路。

【請求項６】 前記出力バッファ能力制御回路は、前記出力非確定状態信号として前記クロックが有効であるか無効であるかを示すクロックイネーブル信号を生成して出力することを特徴とする請求項５記載の出力回路。

【請求項７】 論理回路部からクロックに同期して順次生成される複数ビットの並列信号に基づいて複数の端子群を駆動する出力回路において、出力駆動能力を可変することのできる出力バッファ回路と、

前記複数の端子の現在の論理レベル状態と前記複数の端子に次に出力すべき論理レベル状態とを比較することで論理レベル状態が変化する端子の端子数を求めるとともに、求めた端子数と予め設定した論理レベル変化許容端子数とを比較し、求めた端子数が論理レベル変化許容端子数を越えている場合に論理レベル変化端子数が過大であることを示す論理レベル変化端子数過大信号を出力する論理レベル変化端子数監視回路と、

前記論理レベル変化端子数過大信号に基づいて前記出力バッファ回路の駆動能力を所定クロック期間だけ低下させるとともに、前記論理回路部に対する前記クロックの供給を前記所定クロック期間だけ停止することで前記論理回路部の動作を所定クロック期間だけ停止させ、さらに、前記複数の端子に出力された信号を前記クロックに同期して取り込む他の回路部に対する前記クロックの供給を前記所定クロック期間だけ停止することで前記出力バッファ回路の駆動能力を低下させている期間において前記他の回路部が前記複数の端子に出力された信号を取り込むのを停止させる出力バッファ能力制御回路とを備えたことを特徴とする出力回路。

【請求項８】 論理回路部からクロックに同期して順次生成される複数ビットの並列信号をラッチするデータラッチ回路と、

前記データラッチ回路でラッチされた複数ビットの並列信号に基づいて複数の端子を駆動するとともに出力駆動能力を可変することのできる出力バッファ回路と、

前記データラッチ回路でラッチされた複数ビットの並列信号と前記データラッチ回路の入力側に供給される次に出力すべき複数ビットの並列信号とを比較することで論理レベル状態が変化する端子の端子数を求めるとともに、求めた端子数と予め設定した論理レベル変化許容端子数とを比較し、求めた端子数が論理レベル変化許容端子数を越えている場合に論理レベル変化端子数が過大であることを示す論理レベル変化端子数過大信号を出力する論理レベル変化端子数監視回路と、前記論理レベル変化端子数過大信号に基づいて出力バッファ回路の駆動能力を低下させる出力バッファ能力制御回路とを備えたことを特徴とする出力回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、アドレスバス、データバス、制御バス等の複数ビットの並列信号線に複数ビットの信号を出力する出力回路に係り、詳しくは、現在の出力状態と次に出力すべき状態とを比較し、論理レベルが変化する端子数が所定値を越える場合には、出力バッファの駆動能力を小さく設定することで、出力状態切り替え時に発生する瞬間的な電流変化を軽減させ、瞬間的な電流変化に伴って発生する高周波雑音を軽減させるようにした出力回路に関するものである。

【0002】

【従来の技術】特開平3-121617号公報には、外部端子からの信号によって出力バッファの駆動能力を変更できるようにすることで、出力バッファ回路の同時動作時の誤動作を防止できるようにしたCMOS集積回路が記載されている。このCMOS集積回路は、駆動能力の異なる複数の出力バッファ回路と、これらの複数の出力端と出力端子との間にそれぞれ設けられた複数のトランスファゲートと、外部端子から入力された選択信号により複数のトランスファゲートを制御する手段を備えて構成されている。これにより、回路設計時には発見できなかった出力バッファ回路の同時動作による電源のゆらぎを、評価時に外部信号に基づいて出力バッファの駆動能力を下げることで防止できる。

【0003】特開平4-278716号公報には、駆動能力の大きい出力バッファ回路が多数同時に動作したときに発生する雑音を低減させるようにした出力バッファ回路が記載されている。この出力バッファ回路は、メインバッファ回路と並列バッファ回路とが並列に接続されている。並列バッファ回路は、オフパルス信号に基づいて非動作状態になるよう構成されている。また、この出力バッファ回路は、入力信号の論理レベルが変化した時点から所定の期間に亘ってオフパルス信号を発生させるオフパルス発生回路を備えている。したがって、この出力バッファ回路は、バッファ回路の出力が遷移する際に、まずメインバッファ回路のみで出力端子ならびに出力端子に接続されている負荷を駆動した後に、メインバ

ッファ回路と並列バッファ回路との両バッファ回路で出力端子ならびに出力端子に接続されている負荷を駆動する。これにより、出力端子にかかる負荷への充放電時間を遅くし、雑音の発生を軽減する。

【0004】特開平5-75427号公報には、電源配線や接地配線の浮遊容量を充放電する電流を小さくし、過渡電流による雑音を減らして論理回路を安定に動作させることができるようにした半導体集積回路装置が記載されている。この半導体集積回路装置は、駆動能力の小さい出力バッファ回路と駆動能力の大きいトライステート出力バッファ回路とを並列に設けている。そして、論理回路の出力の同時変化が大きい場合は（複数の出力端子があり、所定のタイミングで出力レベルがHレベルからLレベルまたはLレベルからHレベルへ変化する出力端子の数が多い場合は）、駆動能力の大きいトライステート出力バッファ回路を非動作状態に制御し、駆動能力の小さい出力バッファ回路のみを用いて出力駆動する。これにより、論理回路の出力の同時変化が大きい場合に、過渡電流を小さく抑え、過渡電流による雑音を減少させる。

【0005】特開平5-175746号公報には、複数の出力バッファが同時動作したときに接地線に発生する雑音が他の出力バッファの出力端子レベルに及ぼす影響を軽減させるようにした出力バッファが記載されている。この出力バッファは、駆動能力の大きなスイッチング用バッファ（トライステートバッファ）と駆動能力の小さなレベル保持用バッファとを並列に接続している。そして、出力すべきデータと実際の出力値とを比較回路で比較し、両者が一致している期間はスイッチング用バッファ（トライステートバッファ）をオフ（非駆動状態）に制御している。これにより、出力バッファの出力端子レベルが変化しないときに、他の出力バッファの出力端子レベルが変化することによって接地線に発生する雑音は、駆動能力の小さなレベル保持用バッファを介してしか出力端子に伝わらなくなり、雑音の影響を軽減できる。

【0006】特開平6-161620号公報には、データバス等の同時変化信号群を持つ論理回路において、出力同時駆動時の電源・グランドに対する影響を低減するようにした出力同時変化制御方式が記載されている。この出力同時変化制御方式は、同一の変化点を持つ複数の入力信号を入力し、複数の出力端子より出力する回路において、複数の入力信号極性を同一反転する手段と、同一反転した入力信号と非反転の入力信号とを選択出力可能な手段を有し、反転／非反転入力信号のうち出力端子での信号変化時の極性反転数が少なくなる側の入力信号を選択し、この出力信号と極性反転／非反転情報とを出力する。受け取り側では、極性反転／非反転情報に基づいて信号の反転／非反転を行なうことにより、正しい信号を受け取る。

【0007】また、出力状態切り替え時に発生する瞬間的な電流変化を軽減させ、瞬間的な電流変化に伴って発生する高周波雑音を軽減させるための回路構成として、図9～図11に示すようなものが考えられる。

【0008】図9はアドレスデータをグレイコードで表現することでアドレスバス等の駆動に伴う高周波雑音の低減を図ったアドレスドライブ回路の回路構成図である。図9に示すアドレスドライブ回路600は、バイナリ型アップダウンカウンタ601と、グレイコード生成回路602とからなる。

【0009】バイナリ型アップダウンカウンタ601は、動作モード指定端子MODEに供給されるアップ／ダウンモード指定信号に基づいて、アップカウンタ動作とダウンカウンタ動作を切り替えることができる。アップカウンタ動作モードでは、クロック入力端子CLKに供給されるクロック信号の例えば立ち上がりに同期してカウンタ値をインクリメント(+1)する。ダウンカウンタ動作モードでは、クロック入力端子CLKに供給されるクロック信号の例えば立ち上がりに同期してカウンタ値をデクリメント(-1)する。DO0～DO7はカウンタ値の出力端子である。このバイナリ型アップダウンカウンタ601は、ロード信号入力端子LOADに例えばHレベルのロード信号を供給することで、プリセットデータ(プリセット値)入力端子DIO～DI7に供給されたプリセットデータ(プリセット値)をクロック信号CLKの例えば立ち上がりに同期して取り込み、取り込んだプリセットデータ(プリセット値)をカウンタ初期値として設定することができる。そして、ロード信号の供給を停止することでプリセットしたカウンタ値からの歩進を行なわせることができる。

【0010】グレイコード生成回路602は、7個の2入力排他的論理和回路602a～602gを備える。各2入力排他的論理和回路602a～602gの各入力端子には、カウンタ出力DO0～DO7の隣接する2ビットの信号がそれぞれ供給される。このグレイコード生成回路102は、7個の2入力排他的論理和回路602a～602gの出力7ビットとカウンタ出力の最上位ビットDO7とからなる8ビットのグレイコードを出力する。グレイコード生成回路602によって生成されたグレイコード出力信号は、アドレス指定信号A0～A7としてアドレスバス等へ供給される。

【0011】グレイコードは、相隣る2数のハミング距離が1となるコードである。したがって、グレイコードをアドレス指定信号として用いることで、相前後する2つのアドレス間でただ1つのビットしか変化しないようにすることができる。したがって、アドレスを昇順または降順に順次指定する場合、アドレス指定信号はただ1つのビットしか変化しないために、アドレスバス等の駆動に伴う高周波雑音の発生を低減させることができる。

【0012】図10はHレベルの駆動能力とLレベルの

駆動能力をそれぞれ連続的に可変できるようにした駆動能力連続可変型出力回路の回路構成図である。図10に示す駆動能力連続可変型出力回路700は、エンハンスメント型Pチャネルトランジスタ701とエンハンスメント型Nチャネルトランジスタ702とからなるプリバッファ回路(反転型バッファ回路)と、エンハンスメント型Pチャネルトランジスタ703とエンハンスメント型Nチャネルトランジスタ704とからなるメインバッファ回路(反転型バッファ回路)とから構成される。符号705は入力端子、符号706は出力端子、符号707はLレベル駆動能力設定用電圧入力端子、符号708はHレベル駆動能力設定用電圧入力端子である。

【0013】入力端子705に供給された論理レベル信号は、Pチャネルトランジスタ701のゲートならびにNチャネルトランジスタ702のゲートへ供給される。Pチャネルトランジスタ701のソースには、Lレベル駆動能力設定用電圧入力端子707に供給されたLレベル駆動能力設定用電圧が印加される。Nチャネルトランジスタ702のソースには、Hレベル駆動能力設定用電圧入力端子708に供給されたHレベル駆動能力設定用電圧が印加される。Pチャネルトランジスタ701のドレインとNチャネルトランジスタ702のドレインとは互いに接続されており、その接続点はPチャネルトランジスタ703のゲートならびにNチャネルトランジスタ704のゲートに接続される。Pチャネルトランジスタ703のソースは回路用電源V+に接続されている。Nチャネルトランジスタ704のソースはグランドに接続されている。Pチャネルトランジスタ703のドレインとNチャネルトランジスタ704のドレインとは互いに接続されており、その接続点は出力端子706に接続される。出力端子706から出力される出力信号のHレベルは回路用電源V+に基づいて設定され、出力信号のLレベルはグランド電位によって設定される。

【0014】入力端子705に入力された信号がLレベルの場合、Nチャネルトランジスタ702がオフ状態となり、Pチャネルトランジスタ701がオン状態となる。Pチャネルトランジスタ701がオン状態となることで、Lレベル駆動能力設定用電圧がメインバッファ回路を構成する各トランジスタ703、704のゲートへ供給される。ここで、Lレベル駆動能力設定用電圧は、Pチャネルトランジスタ703がオフ状態となる電圧で、かつ、Nチャネルトランジスタ704のしきい値電圧よりも高い電圧(グランド電位に対してNチャネルトランジスタ704のゲートソース間しきい値電圧よりも高い電圧)に設定される。したがって、各トランジスタ703、704のゲートにLレベル駆動能力設定用電圧が供給されると、Pチャネルトランジスタ703はオフ状態となり、Nチャネルトランジスタ704はオン状態に駆動され、出力端子706はLレベル(グランド電位)に駆動される。ここで、オン状態に駆動されるNチ

チャネルトランジスタ704のソースゲート間電圧は、グランドとLレベル駆動能力設定用電圧入力端子707との間の電圧となるので、Lレベル駆動能力設定用電圧を変化させることで、Nチャネルトランジスタ704のソースゲート間電圧を調整することができ、Nチャネルトランジスタ704の駆動能力を制御できる。

【0015】入力端子705に入力された信号がHレベルの場合、Pチャネルトランジスタ701がオフ状態となり、Nチャネルトランジスタ702がオン状態となる。Nチャネルトランジスタ702がオン状態となることで、Hレベル駆動能力設定用電圧がメインバッファ回路を構成する各トランジスタ703、704のゲートへ供給される。ここで、Hレベル駆動能力設定用電圧は、Nチャネルトランジスタ704がオフ状態となる電圧で、かつ、Pチャネルトランジスタ703のしきい値電圧よりも大きい電圧（正電源V+の電位に対してPチャネルトランジスタ704のソースゲート間しきい値電圧よりも低い電圧）に設定される。したがって、各トランジスタ703、704のゲートにHレベル駆動能力設定用電圧が供給されると、Nチャネルトランジスタ704はオフ状態となり、Pチャネルトランジスタ703はオン状態に駆動され、出力端子706はHレベル（正電源V+の電位）に駆動される。ここで、オン状態に駆動されるPチャネルトランジスタ703のソースゲート間電圧は、正電源V+の電位とHレベル駆動能力設定用電圧との差になるので、HLレベル駆動能力設定用電圧を変化させることで、Pチャネルトランジスタ703のソースゲート間電圧を調整することができ、Pチャネルトランジスタ703の駆動能力を制御できる。

【0016】図11はHレベルの駆動能力とLレベルの駆動能力をそれぞれ段階的に可変できるようにした駆動能力切替型出力回路の回路構成図である。図11に示す駆動能力切替可変型出力回路300は、出力制御回路801と出力回路802とから構成される。出力制御回路801は、図示しないクロック信号等に基づいて所定の周期等で出力すべきデータ（出力データ信号）QSを順次生成し、生成したデータをデータ出力端子Qに出力する。出力制御回路801は、データを出力すべきタイミングでHレベルの出力イネーブル信号OESを出力イネーブル信号出力端子OEに供給する。

【0017】この出力制御回路801は、出力駆動能力を4段階に亘って設定するための出力駆動能力設定入力端子DS0、DS1を備えている。各出力駆動能力設定入力端子DS0、DS1に供給される2ビットの出力駆動能力設定信号に基づいて、出力駆動能力を以下に示す4段階に設定できる。（第1段階）Lレベル駆動能力、Hレベル駆動能力共に小、（第2段階）Lレベル駆動能力は小で、Hレベル駆動能力は大、（第3段階）Lレベル駆動能力は大で、Hレベル駆動能力は小、（Lレベル駆動能力、Hレベル駆動能力共に大。

【0018】出力制御回路801は、第1段階の駆動能力が設定された場合、Hレベル駆動能力制御出力端子HDにLレベルの信号を出力し、Lレベル駆動能力制御出力端子LDにLレベルの信号を出力する。出力制御回路801は、第2段階の駆動能力が設定された場合、Hレベル駆動能力制御出力端子HDにHレベルの信号を出力し、Lレベル駆動能力制御出力端子LDにLレベルの信号を出力する。出力制御回路801は、第3段階の駆動能力が設定された場合、Hレベル駆動能力制御出力端子HDにLレベルの信号を出力し、Lレベル駆動能力制御出力端子LDにHレベルの信号を出力する。出力制御回路801は、第4段階の駆動能力が設定された場合、Hレベル駆動能力制御出力端子HDにHレベルの信号を出力し、Lレベル駆動能力制御出力端子LDにHレベルの信号を出力する。

【0019】出力回路802は、Pチャネルトランジスタ803とNチャネルトランジスタ804とからなる第1のドライブ回路と、Pチャネルトランジスタ805とNチャネルトランジスタ806とからなる第2のドライブ回路と、2入力オアゲート807と、2入力ナンドゲート808と、インバータ809と、2入力ノアゲート810と、2入力アンドゲート811とからなる。符号812は出力端子である。各Pチャネルトランジスタ803、805の各ソースは正電源V+へそれぞれ接続されている。各Nチャネルトランジスタ804、806の各ソースはグランドに接続されている。各トランジスタ803～806のドレインは出力端子812に接続されている。

【0020】出力イネーブル信号OESは、2入力ナンドゲート808の一方の入力端子に供給される。また、出力イネーブル信号OESは、インバータ809によって反転されて2入力ノアゲートの一方の入力端子に供給される。出力制御回路801から供給される出力イネーブル信号OESがLレベルである場合、2入力ナンドゲート808の出力はHレベルとなり、このHレベルの信号がPチャネルトランジスタ803のゲートへ供給されるとともに、2入力オアゲート807を介してPチャネルトランジスタ803のゲートへ供給される。これにより、出力イネーブル信号OESがLレベルである場合は、各Pチャネルトランジスタ803、805のゲートは共にHレベルが供給されるので、各Pチャネルトランジスタ803、805は共にオン状態となる。一方、出力イネーブル信号OESがLレベルである場合、インバータ809を介してHレベルの信号が2入力ノアゲート810へ供給されるので、2入力ノアゲート810の出力はLレベルとなり、このLレベルがNチャネルトランジスタ804のゲートへ供給されるので、このNチャネルトランジスタ804はオフ状態となる。また、2入力アンドゲート811を介してNチャネルトランジスタ806のゲートにLレベルが供給されるので、このNチャ

ネルトランジスタ806はオフ状態となる。したがって、出力イネーブル信号OESがLレベルである場合、各トランジスタ803～806は全てオフ状態となり、出力端子812は高インピーダンス状態となる。

【0021】Hレベル駆動能力制御信号HDSがHレベルの場合、2入力オアゲート807を介してPチャネルトランジスタ805のゲートにHレベルが供給されるので、Pチャネルトランジスタ805はオフ状態となる。Lレベル駆動能力制御信号LDSがLレベルの場合、2入力アンドゲート811を介してNチャネルトランジスタ806のゲートにLレベルが供給されるので、Nチャネルトランジスタ806はオフ状態となる。

【0022】出力駆動能力が前述の第1段階（Lレベル駆動能力、Hレベル駆動能力共に小）に設定された場合、Hレベル駆動能力制御信号HDSはHレベルに設定され、Lレベル駆動能力制御信号LDSはLレベルに設定される。Hレベル駆動能力制御信号HDSがHレベルであり、Lレベル駆動能力制御信号LDSがLレベルであり、かつ、出力イネーブル信号OESがHレベルである場合には、Pチャネルトランジスタ803とNチャネルトランジスタ804とからなる第1のドライブ回路を用いて出力端子812を駆動できる状態となる。出力データ信号QSがHレベルの場合、2入力ナンドゲート808の出力はLレベルとなり、このLレベルがPチャネルトランジスタ803のゲートへ供給されるので、Pチャネルトランジスタ803はオン状態に駆動される。一方、出力データ信号QSがHレベルの場合、2入力ノアゲート810の出力はLレベルとなり、このLレベルがNチャネルトランジスタ804のゲートに供給されるので、Nチャネルトランジスタ804はオフ状態となる。したがって、出力データ信号QSがHレベルの場合には、Pチャネルトランジスタ803がオン状態、Nチャネルトランジスタ804がオフ状態となり、出力端子812はHレベルに駆動される。出力データ信号QSがLレベルの場合には、Pチャネルトランジスタ803がオフ状態、Nチャネルトランジスタ804がオン状態になるので、出力端子812はLレベルに駆動される。以上の状態では、第1のドライブ回路のみを用いて出力駆動を行なっているため、Hレベルの出力駆動能力ならびにLレベル出力駆動能力は共に小さい状態である。

【0023】出力駆動能力が前述の第2段階（Lレベル駆動能力は小で、Hレベル駆動能力は大）に設定された場合、Hレベル駆動能力制御信号HDSはLレベルに設定され、Lレベル駆動能力制御信号LDSはLレベルに設定される。Hレベル駆動能力制御信号HDSがLレベルになると、2入力ナンドゲート803の出力が2入力オアゲート807を介してPチャネルトランジスタ805のゲートへ供給される。したがって、出力データ信号QSがHレベルの場合には、各Pチャネルトランジスタ803、805が共にオン状態となり、各Pチャネルト

ランジスタ803、805を介して出力端子812をHレベルに駆動する。このため、Hレベル駆動時の駆動能力が大きい状態となる。

【0024】出力駆動能力が前述の第3段階（Lレベル駆動能力は大で、Hレベル駆動能力は小）に設定された場合、Hレベル駆動能力制御信号HDSはHレベルに設定され、Lレベル駆動能力制御信号LDSはHレベルに設定される。Lレベル駆動能力制御信号HDSがHレベルになると、2入力ノアゲート810の出力が2入力アンドゲート811を介してNチャネルトランジスタ806のゲートへ供給される。したがって、出力データ信号QSがLレベルの場合には、各Nチャネルトランジスタ804、806が共にオン状態となり、各Nチャネルトランジスタ804、806を介して出力端子812をLレベルに駆動する。このため、Lレベル駆動時の駆動能力が大きい状態となる。

【0025】出力駆動能力が前述の第4段階（Lレベル駆動能力、Hレベル駆動能力共に大）に設定された場合、Hレベル駆動能力制御信号HDSはLレベルに設定され、Lレベル駆動能力制御信号LDSはHレベルに設定される。この状態では、各Pチャネルトランジスタ803、805によって出力端子812をHレベルに駆動し、また、各Nチャネルトランジスタ804、806によって出力端子812をLレベルに駆動する。したがって、Hレベル駆動時ならびにLレベル駆動時ともに駆動能力が大きい状態となる。

【0026】したがって、図11に示した駆動能力切替型出力回路800は、出力端子812に接続される負荷に合せて好適なドライブ能力を設定することができる。

【0027】

【発明が解決しようとする課題】特開平3-121617号公報に記載されたCMOS集積回路は、外部端子からの信号によって出力バッファの駆動能力を変更できるので、スピード（出力信号の遅延）に問題がない場合には、出力バッファの駆動能力を下げることで、複数の出力バッファが同時に出力状態を変更した場合でも、電源線、グランド線の電位シフトを小さくでき、誤動作を防止できる。しかしながら、出力バッファの駆動能力を下げてしまうと、出力信号の遅延が大きくなるため、高速動作に対応できない場合がある。

【0028】特開平4-278716号公報に記載された出力バッファ回路は、バッファ回路の出力が遷移する際に、まずメインバッファ回路のみで出力駆動した後、メインバッファ回路と並列バッファ回路との両バッファ回路で出力駆動を行なうので、出力端子にかかる負荷への充放電時間を遅くし、雑音の発生を軽減することができる。しかしながら、バッファ回路の出力が遷移する際には常に負荷への充放電時間を遅くしているために、負荷側の論理レベルが確定するまでの信号遅延時間は大きくなる。

【0029】特開平5-75427号公報に記載された半導体集積回路装置は、論理回路の出力の同時変化が大きい場合に、駆動能力の小さい出力バッファ回路のみを用いて出力駆動することで、過渡電流を小さく抑えることができる。しかしながら、駆動能力の小さい出力バッファ回路で出力駆動を行なっているため、出力端子から出力端子に接続されているバス等の配線ならびに出力端子から出力された信号を受ける次段回路等の入力端子へ至るまでの信号伝達経路の電圧が所定の論理レベル電位に変化するまでの時間は、駆動能力の大きいトライステート出力バッファ回路を併用して出力駆動した場合よりも遅くなる。このため、出力端子から出力された信号を受け取る次段回路等が、駆動能力の大きいトライステート出力バッファ回路が併用されている場合に論理レベル電位が確定するタイミングで出力信号と取り込んでしまうと、正常でない論理レベルを取り込む虞れがある。したがって、クロックに同期して動作する回路装置や電子システム等では、駆動能力の小さい出力バッファ回路のみを用いて出力駆動した際の信号遅延時間によってクロックの周期が制限されてしまう。このため、回路装置や電子システム等の高速動作が制約されてしまう。

【0030】特開平5-175746号公報に記載された出力バッファは、接地線に発生した雑音がLレベルを出力している他のバッファの接地線を経由して他のバッファの出力端子へ伝播されるのを軽減することができる。しかしながら、先の出力論理レベルと次の出力論理レベルとが異なる場合は、次に出力すべき論理レベルと実際の出力論理レベルとが一致するまでの期間、駆動能力の大きなスイッチング用バッファ（トライステートバッファ）が駆動される構成であるため、論理回路等の出力の同時変化が大きい場合は（複数の出力端子があり、所定のタイミングで出力レベルがHレベルからLレベルまたはLレベルからHレベルへ変化する出力端子の数が多い場合は）、スイッチング時に流れる充放電電流が大きくなり、過渡電流による雑音が発生する虞れがある。

【0031】特開平6-161620号公報に記載された出力同時変化制御方式は、出力すべき複数の信号をそのまま出力する場合（非反転信号出力）と、出力すべき複数の信号をそれぞれ反転した信号を出力する場合（反転信号出力）とについて、出力端子での信号変化時の極性反転数を比較し、出力端子での信号変化時の極性反転数が少ない方を選択して出力するので、出力端子での信号変化時の極性反転数を低減することができ、出力同時駆動による電源・グランドに対するノイズの影響を低減できる。しかしながら、出力された信号の受け取り側では、極性反転／非反転情報に基づいて信号の反転／非反転の処理を行なう必要がある。このため、出力側装置と出力側装置から出力された信号を受け取る入力側装置とがともに出力同時変化制御方式に対応している必要がある。また、極性反転／非反転情報を伝達するための配線

が新たに必要となる。

【0032】図9に示したグレイコード利用のアドレスドライブ回路は、アドレスが昇順または降順で変化する場合にはノイズ低減に有効であるが、連続しないアドレスを指定する際にはノイズ発生を軽減することができない。

【0033】図10に示した駆動能力連続可変型出力回路は、駆動能力設定用電圧を供給するための電源等が別途必要となり、周辺回路を含めた回路構成が複雑になる。駆動能力と出力遅延時間とはトレードオフの関係にあるため、データ出力の高速化要求に対応するのが難しい。

【0034】図11に示した駆動能力切替型出力回路は、負荷条件に合せて好適な出力駆動能力を設定することができるが、データ出力の高速化要求に対応するのが難しい。

【0035】

【発明の目的】この発明はこのような問題を解決するためなされたもので、クロック信号に同期したタイミング等の所定のタイミングで複数ビットのデータを出力する出力回路において、先に出力した複数ビットのデータと次に出力するデータとを比較し、出力レベルが変化する出力端子数が予め設定した所定数を越える場合には、出力駆動能力を小さく設定することで出力同時変化に伴うノイズの発生を軽減させるとともに、出力駆動能力を小さく設定した際には出力信号を受け取る回路側に対して出力信号の受け取りタイミングを変更させることで、データの伝送を確実にこなえるようにした出力回路を提供することを目的とする。

【0036】

【課題を解決するための手段】前記課題を解決するため請求項1に係る出力回路は、現在の論理レベル状態と次に出力すべき論理レベル状態とを比較して出力論理レベルが変化する端子数を求め、求めた端子数と予め設定した論理レベル変化許容端子数を越えている場合に論理レベル変化端子数過大信号を出力する論理レベル変化端子数監視回路と、論理レベル変化端子数過大信号に基づいて出力バッファ回路の駆動能力を低下させる出力バッファ能力制御回路とから構成される。

【0037】請求項1に係る出力回路は、出力レベルが反転する端子数が多い場合には、出力バッファ回路の駆動能力を低下させる。出力レベルが反転する端子数が多いとより大きな高周波ノイズが発生する虞れがあるが、そのような場合に出力バッファ回路の駆動能力を低下させることで、多数の出力が同時に反転する場合でも過渡電流を小さくでき、高周波ノイズの発生を低減できる。出力レベル反転となる端子数が少ない場合は、出力バッファ回路の駆動能力を低下させないので、出力周期を短くできる。

【0038】なお、出力バッファ回路は、駆動能力の小

さいバッファ回路と駆動能力の大きいトライステートバッファ回路とを並列に接続して構成することができる。

【0039】この場合、バッファ回路とトライステートバッファ回路とを併用することで駆動能力を大とし、トライステートバッファ回路を非動作状態に制御することで駆動能力の小さい状態へ切り替えることができる。

【0040】また、出力バッファ回路は、駆動能力の小さいトライステートバッファ回路と駆動能力の大きいトライステートバッファ回路とを並列に接続して構成してもよい。

【0041】この場合、駆動能力の小さいトライステートバッファ回路のみを使用することで駆動能力の小さい状態を実現できる。また、駆動能力の大きいトライステートバッファ回路のみを使用、または、両方のトライステートバッファ回路を併用することで駆動能力の大きい状態を実現できる。さらに、両方のトライステートバッファ回路をともに非動作状態に制御することで、出力端子を入力端子としても利用することが可能になる。

【0042】請求項4に係る出力回路は、論理レベル変化端子数監視回路と、論理レベル変化端子数過大信号に基づいて出力バッファ回路の駆動能力を低下させるとともに、出力バッファ回路の駆動能力を低下させている状態に同期させて出力信号の取り込みを禁止させるための出力非確定状態信号を発生させる出力バッファ能力制御回路とから構成される。

【0043】請求項4に係る出力回路は、多数の出力が同時に反転する場合に出力バッファ回路の駆動能力を低下させることで、過渡電流を抑制し高周波雑音の発生を軽減させることができる。出力バッファ回路の駆動能力を低下させた状態では、出力信号の論理レベルが確定するまでの遅延時間が大きくなる。そこで、請求項4に係る出力回路は出力非確定状態信号を出力する構成として、出力回路から供給される信号を受け取る回路、装置側等では、出力非確定状態信号に基づいて出力回路から供給される信号の受け取りタイミングを遅らすことで、正常でない信号を受け取ることを防止できる。

【0044】請求項5に係る出力回路は、論理回路部からクロックに同期して順次生成される複数ビットの並列信号に基づいて複数の端子群を駆動する出力回路において、出力駆動能力を可変することのできる出力バッファ回路と、論理レベル変化端子数監視回路と、論理レベル変化端子数過大信号に基づいて出力バッファ回路の駆動能力をクロックの所定クロック期間だけ低下させるとともに、論理回路部の動作を一時停止させるための一時停止要求信号を出力バッファ回路の駆動能力を低下させている期間に同期して生成し、さらに、出力バッファ回路の駆動能力を低下させている期間に同期して出力信号の取り込みを禁止させるための出力非確定状態信号を発生させる出力バッファ能力制御回路とを備えた構成される。

【0045】請求項5に係る出力回路は、多数の出力が同時に反転する場合に出力バッファ回路の駆動能力を低下させることで、過渡電流を抑制し高周波雑音の発生を軽減させることができる。また、請求項5に係る出力回路は、一時停止要求信号を論理回路部へ供給することで、論理回路部の動作を一時停止させることができる。これにより、新たな出力データの生成動作等を一時停止させることができ、出力すべきデータの抜け落ち等が発生するのを防止できる。出力バッファ回路の駆動能力を低下させた状態では、出力信号の論理レベルが確定するまでの遅延時間が大きくなる。そこで、請求項5に係る出力回路は、出力非確定状態信号を出力する構成として、出力回路から供給される信号を受け取る回路、装置側等では、出力非確定状態信号に基づいて出力回路から供給される信号の受け取りタイミングを遅らすことで、正常でない信号を受け取ることを防止することができる。

【0046】なお、出力非確定状態信号として、クロックが有効であるか無効であるかを示すクロックイネーブル信号を用いる構成としてもよい。

【0047】この場合、出力回路から供給される信号を受け取る回路、装置側等では、クロックイネーブル信号に基づいて、出力回路から供給される信号の受け取りタイミングを遅らすことで、正常でない信号を受け取ることを防止することができる。

【0048】請求項7に係る出力回路は、論理回路部からクロックに同期して順次生成される複数ビットの並列信号に基づいて複数の端子群を駆動する出力回路において、出力駆動能力を可変することのできる出力バッファ回路と、論理レベル変化端子数監視回路と、論理レベル変化端子数過大信号に基づいて出力バッファ回路の駆動能力を所定クロック期間だけ低下させるとともに、論理回路部に対するクロックの供給を所定クロック期間だけ停止することで論理回路部の動作を所定クロック期間だけ停止させ、さらに、複数の端子に出力された信号をクロックに同期して取り込む他の回路部に対するクロックの供給を所定クロック期間だけ停止することで出力バッファ回路の駆動能力を低下させている期間において他の回路部が複数の端子に出力された信号を取り込むのを停止させる出力バッファ能力制御回路とから構成される。

【0049】請求項7に係る出力回路は、多数の出力が同時に反転する場合に出力バッファ回路の駆動能力を低下させることで、過渡電流を抑制し高周波雑音の発生を軽減させることができる。また、請求項7に係る出力回路は、論理回路部に対するクロックの供給を停止することで、論理回路部の動作を一時停止させることができる。これにより、新たな出力データの生成動作等を一時停止させることができ、出力すべきデータの抜け落ち等が発生するのを防止できる。出力バッファ回路の駆動能力を低下させた状態では、出力信号の論理レベルが確定

するまでの遅延時間が大きくなる。そこで、請求項7に係る出力回路は、出力回路から供給される信号を受け取る回路、装置側等の他の回路部に対してクロックの供給を一時停止することで、他の回路部が不正なデータを取り込むことがないようにしている。

【0050】請求項8に係る出力回路は、論理回路部からクロックに同期して順次生成される複数ビットの並列信号をラッチするデータラッチ回路と、データラッチ回路でラッチされた複数ビットの並列信号に基づいて複数の端子を駆動するとともに出力駆動能力を可変することのできる出力バッファ回路と、データラッチ回路でラッチされた複数ビットの並列信号とデータラッチ回路の入力側に供給される次に出力すべき複数ビットの並列信号とを比較することで論理レベル状態が変化する端子の端子数を求めるとともに、求めた端子数と予め設定した論理レベル変化許容端子数とを比較し、求めた端子数が論理レベル変化許容端子数を越えている場合に論理レベル変化端子数が過大であることを示す論理レベル変化端子数過大信号を出力する論理レベル変化端子数監視回路と、論理レベル変化端子数過大信号に基づいて出力バッファ回路の駆動能力を低下させる出力バッファ能力制御回路とから構成される。

【0051】請求項8に係る出力回路は、論理回路部からクロックに同期して出力された複数ビットの並列信号をデータラッチ回路でラッチし、そのラッチ出力を出力バッファ回路に供給して複数の出力端子を駆動する。論理レベル変化端子数監視回路は、データラッチ回路でラッチされた複数ビットの並列信号とデータラッチ回路の入力側に供給される次に出力すべき複数ビットの並列信号とに基づいて論理レベル変化端子数が過大である否かを判断する。論理レベル変化端子数が過大である場合には、出力バッファ回路の駆動能力を低下させることで、過渡電流を抑制し高周波雑音の発生を軽減させる。

【0052】このように、この発明に係る出力回路は、出力レベルが反転する端子数に対応して出力回路の駆動能力を切り替える構成としたので、出力レベル反転端子数が少ない場合（高周波ノイズの発生も少ない場合）には、出力駆動能力を高い状態に保持して、データ等の出力を高速に行なわせることができる。そして、出力レベル反転端子数が多い場合（大きな高周波ノイズが発生する虞れがある場合）にのみ出力駆動能力を低下させ、過渡電流を抑制することで高周波ノイズの発生を防止する。したがって、この発明に係る出力回路を適用することで、回路動作の高速化要求に対応しながら、EMI（電磁障害）の問題を解消することが可能となる。

【0053】

【発明の実施の形態】以下、この発明の実施の形態を添付図面に基づいて説明する。

【0054】図1はこの発明に係る出力回路の第1実施形態を示すブロック構成図である。図1に示す出力回路

1は、論理回路部2から供給される n ビットの出力信号（出力制御信号） $2a \sim 2n$ に基づいて複数の出力端子 $3a \sim 3n$ ならびに複数の出力端子 $3a \sim 3n$ に接続されている図示しない負荷を駆動するものである。この出力回路1は、出力バッファ回路4と、データラッチ回路5と、論理レベル変化端子数監視回路6と、出力バッファ能力制御回路7とからなる。

【0055】論理回路部2は、図示しないクロック信号発生回路から供給されるクロック信号CLKならびに図示しない制御入力情報等に基づいて、 n ビットの出力信号 $2a \sim 2n$ を順次生成して出力する。論理回路部2は、出力バッファ能力制御回路7から一時停止要求信号7aが供給されていない場合、クロック信号CLKに同期して n ビットの出力信号 $2a \sim 2n$ を順次生成して出力する。論理回路部2は、出力バッファ能力制御回路7から一時停止要求信号7aが供給された場合、現在出力している出力信号 $2a \sim 2n$ を保持するとともに、一時停止要求信号7aが供給されている間は新たな出力信号 $2a \sim 2n$ の生成ならびに出力動作を停止する。符号C1はクロック信号CLKの入力端子、Q0～Qnは n ビットの出力信号 $2a \sim 2n$ の出力端子、符号W1は一時停止要求信号7aの入力端子である。

【0056】出力バッファ回路4は、各出力端子 $3a \sim 3n$ に対応して n 個の出力駆動部 $4a \sim 4n$ を備える。各出力駆動部 $4a \sim 4n$ は、駆動能力が小さいバッファ回路41（ $41a \sim 41n$ ）と駆動能力が大きいトライステートバッファ回路42（ $42a \sim 42n$ ）とを並列に接続してなる。トライステートバッファ回路42は、出力バッファ能力制御回路7からバッファ活性化を要求する例えばHレベルのバッファ動作制御信号7bが供給されると動作状態となり、トライステートバッファ回路42の入力端子の供給される論理レベルに対応して出力駆動を行なう。トライステートバッファ回路42は、バッファ非活性化を要求する例えばLレベルのバッファ動作制御信号7bが供給されると非動作状態となる。この非動作状態では、トライステートバッファ回路42の出力端子は高インピーダンス状態となる。したがって、トライステートバッファ回路42を動作状態に制御することでバッファ回路41とトライステートバッファ回路42とを併用して出力端子3を駆動することができ（駆動能力の大きい状態）、トライステートバッファ回路42を非動作状態に制御することでバッファ回路41だけで出力端子3を駆動できる（駆動能力の小さい状態）。

【0057】駆動能力が大きいトライステートバッファ回路42は、後述するクロック信号の周期に対してその $1/10$ 程度の充分短い時間で、出力端子ならびに出力端子に接続されている図示しない負荷（出力負荷）を所定の論理レベル電位へ変化させる能力（負荷駆動能力）を有する。駆動能力が小さいバッファ回路41は、クロック信号の1周期程度の時間をかけて出力負荷を所定の

論理レベル電位へ変化させる能力を有する。

【0058】データラッチ回路5は、出力バッファ能力制御回路7から供給されるラッチ制御信号7cに基づいてデータ入力端子DIO～DInに供給される論理回路部2から出力信号Q0～Qnをラッチし、ラッチした信号をデータ出力端子DO0～DOnに出力する。符号LTIはラッチ制御信号入力端子である。データ出力端子DO0～DOnに出力されたラッチ出力信号5a～5nは出力バッファ回路4へ供給されとともに、論理レベル変化端子数監視回路6へ供給される。

【0059】論理レベル変化端子数監視回路6は、データラッチ回路5の出力であるラッチ出力信号5a～5n（現在の出力論理レベル状態）と、論理回路部2の出力信号Q0～Qn（次に出力すべき論理レベル状態）とを比較し、論理レベルが変化するビット数（出力する論理レベルが変化する出力端子数）を求め、求めたビット数（出力する論理レベルが変化する出力端子数）と予め設定した論理レベル変化許容ビット数（論理レベル変化許容端子数）とを比較し、求めたビット数（出力する論理レベルが変化する出力端子数）が論理レベル変化許容ビット数（論理レベル変化許容端子数）を越えている場合は、論理レベル変化端子数過大信号6aを出力する。論理レベル変化端子数過大信号6aは出力バッファ能力制御回路7へ供給される。符号NOWはラッチ出力信号5a～5n（現在の出力論理レベル状態）の入力端子群、符号NEXTは論理回路部2の出力信号Q0～Qn（次に出力すべき論理レベル状態）の入力端子群、符号OVOは論理レベル変化端子数過大信号6aの出力端子である。

【0060】出力バッファ能力制御回路7は、論理レベル変化端子数過大信号6aが供給されていない場合、クロック信号CLKに同期するラッチ制御信号7cを生成して出力するとともに、バッファ活性化を要求する例えばHレベルのバッファ動作制御信号7bを出力する。出力バッファ能力制御回路7は、論理レベル変化端子数過大信号6aが供給された場合、次のクロックの1周期の期間に亘って一時停止要求信号7aを出力するとともに、一時停止要求信号7aを出力している間はバッファ非活性化を要求する例えばLレベルのバッファ動作制御信号7bを出力する。さらに、出力バッファ能力制御回路7は、一時停止要求信号7aを出力して場合には、ラッチ制御信号7cの出力を一時停止する。これにより、データラッチ回路5が新たな出力信号をラッチするのを禁止し、現在のラッチ状態を保持させる。符号CKIはクロック信号CLKの入力端子、符号OVIは論理レベル変化端子数過大信号6aの入力端子、符号WOIは一時停止要求信号7aの出力端子、符号DROはバッファ動作制御信号7bの出力端子、符号LTOはラッチ制御信号7cの出力端子である。

【0061】図2は論理レベル変化端子数監視回路の一

具体例を示すブロック構成図である。論理レベル変化端子数監視回路6は、出力状態変化検出回路61と、計数回路62と、しきい値設定回路63と、比較回路64とからなる。

【0062】出力状態変化検出回路61は、n個の排他的論理和回路（エクスクルシブオア回路）61a～61nを備える。各排他的論理和回路61a～61nの一方の入力端子には現在の出力状態に係る論理レベル信号が供給され、他方の入力端子には次の出力状態に係る論理レベル信号が供給される。例えば、第1の排他的論理和回路61aの一方の入力端子には現在出力の第1ビットの論理レベルが供給され、他方の入力端子には次の出力の第1ビットの論理レベルが供給される。排他的論理和回路61a～61nは、2つの入力の論理レベルが一致している場合にはLレベルの出力を発生し、2つの入力の論理レベルが不一致の場合にはHレベルの出力を発生する。したがって、各ビット毎に現在出力信号と次の出力信号との排他的論理和を取ることで、出力レベルが変化する場合にはHレベルの出力が得られる。

【0063】計数回路62は、出力状態変化検出回路61から供給されるnビットの出力状態変化検出結果信号（各排他的論理和回路61a～61nの出力信号）に基づいて、排他的論理和回路61a～61nの出力がHレベルとなっている信号を計数することで、出力が変化する端子数を求め、求めた出力変化端子数（計数結果）62aを出力する。

【0064】しきい値設定回路63には、予め設定された論理レベル変化許容端子数が格納されている。比較回路64は、しきい値設定回路63から供給される論理レベル変化許容端子数63aと、計数回路62から出力された出力変化端子数（計数結果）62aとの大小関係を比較し、出力変化端子数（計数結果）62aが論理レベル変化許容端子数63aを越えている場合には例えばHレベルの論理レベル変化数過大信号6aを出力する。

【0065】しきい値設定回路63は、論理レベル変化許容端子数を設定するためのデジタルスイッチ等を備え、論理レベル変化許容端子数を変更できる構成としてもよい。また、しきい値設定回路63を設けずに、外部から論理レベル変化許容端子数を供給する構成としてもよい。比較回路64は、マグニチュードコンパレータ回路等を用いて構成してもよい。

【0066】図3は図1に示した出力回路の動作を示すタイミングチャートである。図3（a）はクロック信号CLKを、図3（b）は論理回路部2の出力信号2a～2nを、図3（c）はラッチ制御信号7cを、図3（d）はラッチ出力信号5a～5nを、図3（e）は論理レベル変化数過大信号6aを、図3（f）は一時停止要求信号7aを、図3（g）はバッファ動作制御信号7bを、図3（h）は出力端子3a～3nの出力信号を示している。

【0067】論理回路部2は、一時停止要求信号7aが供給されていない場合、クロック信号CLKの例えば立ち上がりエッジに同期して出力信号2a~2nを出力する。出力バッファ能力制御回路7は、出力バッファ回路4の駆動能力を低下させている期間を除いて、クロック信号CLKの例えば立ち上がりエッジに同期する立ち上がりエッジを有するラッチ制御信号7cを発生する。

【0068】論理回路部2から出力された出力信号2a~2nは、出力バッファ能力制御回路7から出力されるラッチ制御信号7cの例えば立ち上がりエッジに同期してデータラッチ回路5にラッチされる。論理レベル変化端子数監視回路6は、ラッチ出力信号5a~5nと論理回路部2の出力信号2a~2nとを比較し、現在の出力状態と次の出力状態とで論理レベルが変化する端子数（ビット数）を計数し、計数結果が予め設定した許容数を越えている場合には、論理レベル変化数過大信号6aを出力する。

【0069】ここでは、論理レベル状態Aから論理レベル状態Bへ変化する際は論理レベルが変化する端子数（ビット数）が許容数以下であり、論理レベル状態Bから論理レベル状態Cへ変化する際は論理レベルが変化する端子数（ビット数）が許容数を越え、論理レベル状態Cから論理レベル状態Dへ変化する際は論理レベルが変化する端子数（ビット数）が許容数以下である場合を示している。したがって、時刻t2~時刻t3の期間において、論理レベル状態Bから論理レベル状態Cへ変化する際に論理レベル変化端子数が過大になることが検出され、図3(e)に示す論理レベル変化数過大信号6aが出力される。

【0070】時刻t3におけるラッチ制御信号7cの立ち上がりに基づいて論理レベル状態Cを示す論理回路部2の出力信号2a~2nがデータラッチ回路5にラッチされる。また、論理回路部2は、時刻t3におけるクロック信号CLKの立ち上がりに基づいて、次に出力すべき論理レベル状態Dを示す出力信号を出力する。

【0071】出力バッファ能力制御回路7は、時刻t2~時刻t3の間に発生された論理レベル変化数過大信号6aに基づいて、次のクロックの1周期の期間（時刻t3~時刻t4）に亘って一時停止要求信号7aを出力するとともに、一時停止要求信号7aを出力している間はバッファ非活性化を要求する例えばLレベルのバッファ動作制御信号7bを出力する。これにより、出力バッファ回路4の駆動能力は、時刻t3~時刻t4の期間に亘って駆動能力の小さい状態となる。時刻t3~時刻t4の期間では駆動能力が小さく制限されているため、出力端子3a~3nの電位の変化は緩やかに変化する。

【0072】このように、論理レベルが変化する端子数（信号線数）が多い場合に、出力バッファ回路4の駆動能力を低下させることで、出力信号の変化を緩やかにさせることができ、電源系統や出力端子ならびに負荷への

配線等から発生する電気的および磁気的な高周波雑音を軽減させることができる。

【0073】論理回路部2は、時刻t3~時刻t4の間に亘って出力バッファ能力制御回路7から供給された一時停止要求信号7aに基づいて、現在の出力状態（論理レベル状態Dを出力している状態）を時刻t5まで保持し、時刻t5におけるクロック信号CLKの立ち上がりエッジに同期して、次の出力状態（論理レベル状態E）に係る出力信号2a~2nを出力する。

【0074】一方、出力バッファ能力制御回路7は、時刻t4においてラッチ制御信号7cを発生させないようにしている。これにより、データラッチ回路5は、時刻t3でラッチした論理レベル状態Cを保持する。そして、出力バッファ能力制御回路7は、時刻t4でバッファ動作制御信号7bをHレベルにし、出力バッファ回路4の駆動能力を大きい状態に戻す。これにより、時刻t4~時刻t5の期間において、出力端子3a~3nの出力信号は論理レベル状態Cに対応し、かつ、論理レベルが十分に確定した電位となる。

【0075】そして、時刻t5で次に出力すべき出力信号2a~2nがデータラッチ回路5にラッチされ、そのラッチ出力信号5a~5nに基づいて出力端子3a~3nは論理レベル状態Dに駆動される。

【0076】図4はこの発明に係る出力回路の第2実施形態を示すブロック構成図である。図4に示す出力回路101は、論理回路部102からのデータ出力102a~102nに基づいて入出力端子103a~103nを出力駆動するとともに、図示しない他の回路部、装置等から入出力端子103a~103nに供給されたデータを論理回路部102に入力できるようにしたものである。

【0077】この出力回路101は、論理回路部102のデータ出力端子から出力された並列nビットのデータ出力102a~102nをラッチするデータラッチ回路105と、データラッチ回路105のラッチ出力5a~5nに基づいて複数の入出力端子103a~103nを駆動する出力バッファ回路104と、論理レベル変化端子数監視回路106と、出力バッファ能力制御回路107と、入力バッファ回路108と、2入力アンド回路109と、出力非確定状態信号出力端子110を駆動する出力非確定状態信号出力用バッファ回路111と、クロック信号出力端子112を駆動するクロック信号出力用バッファ回路113とからなる。データラッチ回路105ならびに論理レベル変化端子数監視回路106は、図1に示したデータラッチ回路5、論理レベル変化端子数監視回路6と同じものである。

【0078】出力バッファ回路104は、駆動能力の小さいトライステートバッファ回路104aと駆動能力の大きいトライステートバッファ回路104bと並列に接続して構成したドライブ回路を複数組（n組）備える。

【0079】論理回路部102は、この論理回路部102からデータ出力を行なう場合には、モード制御端子にデータ出力モードを示すHレベルの入出力モード制御信号R/Wを出力し、データ出力を行なわない場合ならびにデータ入力を行なう場合には、モード制御端子にデータ入力モードを示すLレベルの入出力モード制御信号R/Wを出力する。

【0080】入力モード制御信号R/Wは、駆動能力の小さいトライステートバッファ回路104aの動作状態制御入力端子へ供給される。したがって、入出力モード制御信号R/WがLレベルの場合、駆動能力の小さいトライステートバッファ回路104aは非動作状態となる。また、入出力モード制御信号R/Wは、2入力アンド回路109の一方の入力端子へ供給される。2入力アンド回路109の他方の入力端子には、バッファ制御動作信号7bが供給される。入出力モード制御信号R/WがLレベルの場合、2入力アンド回路109の出力はLレベルとなり、このLレベルが駆動能力の大きいトライステートバッファ回路104bの動作状態制御入力端子に供給されるので、駆動能力の大きいトライステートバッファ回路104bは非動作状態となる。両方のトライステートバッファ回路104a、104bが共に非動作状態になることで、出力バッファ回路104の出力側は高インピーダンス状態となる。

【0081】論理回路部102は、出力バッファ回路104を非動作状態に制御することで、入出力端子103a～103nに他の回路、装置から供給された入力データ等を入力バッファ回路108を介して取り込むことができる。なお、入力バッファ回路108は、入力インピーダンスが高い入力用のバッファ回路を複数組(n組)備えている。

【0082】データ出力モードではHレベルの入出力モード制御信号R/Wが出力されるので、駆動能力の小さいトライステートバッファ回路104aは動作状態となる。バッファ動作制御信号7bがHレベルの場合、2入力アンドゲート回路109の出力はHレベルとなり、このHレベルが駆動能力の大きいトライステートバッファ回路104bの動作状態制御入力端子に供給されるので、駆動能力の大きいトライステートバッファ回路104bは動作状態となる。両方のトライステートバッファ回路104a、104bが共に動作状態になることで、駆動能力の大きい状態となる。バッファ動作制御信号7bをLレベルにすることによって、駆動能力の大きいトライステートバッファ回路104bを非動作状態にすることができ、これにより駆動能力の小さい状態へ切り替えることができる。

【0083】出力バッファ能力制御回路107は、図1に示した出力バッファ能力制御回路7の機能を備えるとともに、バッファ制御信号7bをLレベルに制御している期間に同期させて出力非確定状態信号107dを生成し

て出力非確定状態信号出力端子INHに出力する。この出力非確定状態信号107dは出力非確定状態信号出力用バッファ回路111へ入力端子へ供給され、このバッファ回路111を介して出力非確定状態信号出力端子110を駆動する。この出力回路101から供給される出力データを受け取る他の回路部、装置等(図示しない)は、出力非確定状態信号が供給されている間は出力データの受け取りを行なわないようにすることで、論理レベルが完全に確定していないデータの受け取りを防止できる。

【0084】また、この出力回路101は、クロック信号CLKをクロック信号出力用バッファ回路113ならびにクロック信号出力端子112を介して他の回路部、装置等(図示しない)へ供給できるようにしている。したがって、他の回路部、装置等(図示しない)は、クロック信号出力端子112を介して供給されるクロック信号に基づいて出力データの受け取りタイミングを合せる等の回路動作上の同期を図ることができる。

【0085】出力非確定状態信号出力用バッファ回路111ならびにクロック信号出力用バッファ回路113は、クロック信号の周期に対してその1/10程度の充分短い時間で、出力端子ならびに出力端子に接続されている図示しない負荷(出力負荷)を所定の論理レベル電位へ変化させる能力(負荷駆動能力)を有するものを用いている。

【0086】なお、出力非確定状態信号107dを他の回路部、装置等(図示しない)へ供給する替わりに、バッファ制御信号7bをLレベルにして出力バッファ回路104の出力能力を低下している期間は、他の回路部、装置等(図示しない)へ対するクロック信号CLKの供給を一時停止することで、出力バッファ回路104の出力能力を低下している期間において他の回路部、装置等(図示しない)の動作を制限するようにしてもよい。この場合は、クロック出力線を利用し、クロックの欠落という形態で出力バッファ回路104の出力能力を低下している期間の情報を伝送することになる。したがって、出力非確定状態信号107dを伝送するための信号線が不要となる。

【0087】図5はこの発明に係る出力回路の第3実施形態を示すブロック構成図である。図5に示す出力回路201は、次に述べる2点が図4に示した出力回路101と異なる。第1の相違点は、データラッチ回路205の前段にデータセクタ回路215を設け、データラッチ回路205の出力をデータセクタ回路215を介してデータラッチ回路205の入力側に帰還させることで、データラッチ回路205の出力データを保持する構成とした点である。第1の相違点は、現在の出力状態に係る論理レベル情報を入力バッファ回路108を介して取り込む構成とすることで、入力モードから出力モードに切り替える際でも、論理レベルが変化する端子数を監

視できるようにした点である。

【0088】データラッチ回路205のラッチ制御信号入力端子LTIには、クロック信号CLKを供給している。したがって、データラッチ回路205は、クロック信号CLKに基づいてデータセクタ回路215の出力をラッチする。

【0089】データセクタ回路215は、選択制御信号入力端子SELにLレベルの選択制御信号207eが供給された場合、論理回路部102から供給されるデータ出力102a～102nを選択して出力する。データセクタ回路215は、選択制御信号入力端子SELにHレベルの選択制御信号207eが供給された場合、データラッチ回路205の出力5a～5nを選択して出力する。

【0090】したがって、データセクタ回路215がデータラッチ回路205の出力5a～5nを選択して出力している場合、データラッチ回路205はデータラッチ回路205の出力5a～5nをクロック信号CLKに基づいてラッチすることになるので、データラッチ回路205の出力5a～5nは変更されずに先にラッチしたデータが保持される。

【0091】図6は図5に示した出力回路の動作を示すタイミングチャートである。図6(a)はクロック信号CLKを、図6(b)は論理回路部2の出力信号2a～2nを、図6(c)は選択制御信号207eを、図6(d)はラッチ出力信号5a～5nを、図6(e)は論理レベル変化数過大信号6aを、図6(f)は一時停止要求信号7aを、図6(g)はバッファ動作制御信号7bを、図6(h)は出力端子3a～3nの出力信号を示している。

【0092】出力バッファ能力制御回路207は、論理レベル変化数過大信号6aに基づいて出力バッファ回路104の駆動能力を低下されている間は(図6に示す時刻t3～時刻t4の期間)、図6(c)に示すように、Hレベルの選択制御信号207eを出力する。このHレベルの選択制御信号207eに基づいてデータセクタ回路215は、データラッチ回路205の出力5a～5nを選択してデータラッチ回路205のデータ入力端子DIへ供給する。したがって、データラッチ回路205が時刻t4におけるクロック信号CLKに立ち上がりエッジに基づいてラッチするデータは、データラッチ回路205の出力5a～5nとなる。よって、データラッチ回路205は先にラッチしたデータ(論理レベル状態C)をそのまま保持することになる。

【0093】図5に示した出力回路201では、入力バッファ回路108の出力(並列nビットの信号)を論理レベル変化端子数監視回路206の現在の出力論理レベル状態入力端子群NOWへ供給している。この出力回路201が出力モードで動作している場合、出力バッファ回路104を介して出力端子103a～103nを駆動

している出力状態が入力バッファ回路108を介して現在の出力論理レベル状態入力端子群NOWへ供給されるので、論理レベル変化端子数監視回路206は、現在の出力状態と次に出力すべき状態とを比較して出力状態が変化する端子数を監視することができる。

【0094】この出力回路201が入力モードで動作している場合(出力バッファ回路104は非動作状態でその出力側は高インピーダンスとなっている場合)、図示しない他の回路、装置等から供給されている論理レベル状態が入力バッファ回路108を介して現在の出力論理レベル状態入力端子群NOWへ供給される。したがって、論理レベル変化端子数監視回路206は、現在の出力端子の状態と次に出力すべき状態とを比較して出力状態が変化する端子数を監視することができる。

【0095】よって、図5に示した出力回路201は、入力モードから出力モードへ切り替える際にでも、論理レベルが変化する端子数が多い場合には出力バッファ回路104を駆動能力を小さく設定し、入力モードから出力モードへ切り替わる際の過渡電流を抑制して、高周波雑音の発生を防止することができる。

【0096】図7はこの発明に係る出力回路を適用したSDRAM(シンクロナスダイナミックランダムアクセスメモリ)制御装置のブロック構成図である。SDRAM制御装置400は、SDRAM制御回路500と、1または複数のSDRAM集積回路(SDRAMメモリチップ)501～504と、出力回路401とからなる。出力回路401は、SDRAM制御回路500とSDRAM集積回路501～504との間に介設され、SDRAM制御回路500とSDRAM集積回路501～504との間の信号の受け渡しを行なう。

【0097】SDRAM制御回路500は、クロック信号発生部、シーケンサ部、データバッファ部等を備えている。このSDRAM制御回路500は、図示しない上位システムからシステムバス500aを介してメモリアクセス要求が供給されると、そのメモリアクセス要求の内容を解釈し、SDRAM制御回路500内のシーケンサ部等によってSDRAM集積回路501～504を制御するための各種の信号群(制御信号、アドレス信号、データ信号等)を生成する。

【0098】SDRAM制御回路500は、クロック信号発生部で発生させた所定周期のクロックの同期して動作するとともに、クロック信号CLKを出力回路部401ならびに各SDRAM集積回路501～504へ供給することで、各回路部間の動作を同期させる。SDRAM制御回路500は、出力回路401から一時停止要求信号WAITが供給されていない限り、クロックの同期して各種制御信号、アドレス信号等を順次生成して出力することで、出力回路401を介して各SDRAM集積回路501～504へのアクセスを行なう。SDRAM制御回路500は、一時停止要求信号WAITが供給さ

れた場合には、新たなアドレス信号の生成等を一時停止させる。本実施の形態では、SDRAM制御回路500は、一時停止要求信号WAITに基づいてクロックの1周期の期間だけメモリアクセスのための制御動作を中断する。

【0099】SDRAM制御回路500は、論理レベル変化端子数の監視条件を設定するためのしきい値データTHを出力回路401へ供給する。このしきい値データTHは、出力回路401が駆動能力の大きい状態で高速出力動作を行なっている際に許容することのできる端子数（論理レベル変化許容端子数）を指定するデータである。なお、しきい値データTHは、システムバス500aを介して上位システム側から設定することができる。したがって、SDRAM集積回路501～504の個数や各種信号線の配線長等を考慮して、好適な論理レベル変化許容端子数を設定することができる。

【0100】SDRAM制御回路500は、SDRAM集積回路501～504に対してデータの書き込みや動作モードの設定等を行なう書き込みモードでは、例えばHレベルの書込／読出モード制御信号R/Wを出力し、SDRAM集積回路501～504からデータの読み出しを行なう読み出しモードでは、例えばLレベルの書込／読出モード制御信号R/Wを出力する。SDRAM制御回路500は、書き込みモードでは、システムバス500aを介して上位システム等から供給される内部のバッファ部等に一時記憶されている書き込みデータを、データ出力端子群（データ出力）から順次出力する。SDRAM制御回路500は、読み出しモードでは、データ入力端子群（データ入力）に供給されるデータを取り込むとともに、システムバス500aを介して上位システム等へ供給する。取り込んだデータを内部のバッファ等の一時格納した後に、上位システム等へ供給するようにしてもよい。

【0101】SDRAM集積回路501～504は、制御信号入力端子群CNT、アドレス信号入力端子群ADR、データ入出力端子群DQ、クロック信号入力端子CLKI、クロックイネーブル信号入力端子CKEIを備える。制御信号入力端子群CNTは、BA0、BA1、RAS、CAS、WE、DQM等の各種動作モード設定入力端子、行アドレス、列アドレス等を指定するための各種ストロブ信号入力端子等からなる。SDRAM集積回路501～504は、クロック信号入力端子CKIに供給されるクロック信号CLKに同期して動作する。SDRAM集積回路501～504は、クロックイネーブル信号入力端子CKEIに供給されるクロックイネーブル信号CLEが例えばLレベルであるクロック期間は各種データを有効とする。SDRAM集積回路501～504は、クロックイネーブル信号CLEが例えばHレベルになった場合、そのHレベルとなったクロック期間の次のクロック期間は、各種のデータが供給されてもそ

れらのデータは無効なものとして無視する機能を有する。

【0102】この実施形態では、アドレスバス幅が例えば14ビット、データバス幅が16ビットのSDRAM集積回路501～504を4個備え、2系統のチップイネーブル（CS）信号を用いて同時にアクセスできるSDRAM集積回路501～504を2個ずつにグループ分けすることで、1回のアクセスで32ビットのデータを書き込みまたは読み出しできるようにしている。

【0103】出力回路401は、制御信号出力端子群402を出力駆動する出力駆動部411と、アドレス信号出力端子群403を出力駆動する出力駆動部412と、データ信号入出力端子群404を出力駆動する出力駆動部413と、クロックイネーブル信号出力端子405を出力駆動する出力バッファ回路414と、クロック信号出力端子406を出力駆動する出力バッファ回路415と、データ信号入出力端子群404にSDRAM集積回路501～504側から供給される読み出しデータ等を取り込むための入力用バッファ回路416とを備える。

【0104】制御信号出力端子群402を出力駆動する出力駆動部411は、出力駆動能力の大きいトライステートバッファTBと出力駆動能力の小さいバッファSBとを並列に接続した出力駆動部を、制御信号線の線数分だけ備えている。アドレス信号出力端子群403を出力駆動する出力駆動部412は、出力駆動能力の大きいトライステートバッファTBと出力駆動能力の小さいバッファSBとを並列に接続した出力駆動部を、アドレス信号線の線数分だけ備えている。データ信号入出力端子群404を出力駆動する出力駆動部413は、出力駆動能力の大きいトライステートバッファTBと出力駆動能力の小さいバッファSBとを並列に接続した出力駆動部を、データ信号線の線数分だけ備えている。

【0105】出力駆動能力の大きいトライステートバッファTBは、クロック信号CLKの周期に対してその1/10程度の十分に短い時間で、出力電位を所定の論理レベル電位まで駆動させる能力を有するものを用いている。出力駆動能力の小さいバッファSB、ならびに、駆動能力の小さいトライステートバッファSTBは、クロック信号CLKの1周期程度の時間をかけて出力電位を所定の論理レベル電位へ変化させる能力を有するものをそれぞれ用いている。クロックイネーブル信号出力端子405を出力駆動する出力バッファ回路414、ならびに、クロック信号出力端子406を出力駆動する出力バッファ回路415は、クロック信号CLKの周期に対してその1/10程度の十分に短い時間で、出力電位を所定の論理レベル電位まで駆動させる能力を有するものをそれぞれ用いている。

【0106】入力用バッファ回路416は、入力バッファIBをデータ信号線の線数分だけ備えている。入力バッファIBは、入力インピーダンスが十分に高いものを

用いている。各入力バッファIBの入力端子は、データ信号入出力端子群404の各端子にそれぞれ接続されている。各入力バッファIBの出力端子は、SDRAM制御回路500の各データ信号入力端子に接続されている。データ信号入出力端子群404に供給された読み出しデータ等は、入力バッファIBを介してSDRAM制御回路500の各データ信号入力端子へ供給される。

【0107】また、出力回路401は、制御信号をラッチするためのデータラッチ回路(DL)421と、そのデータラッチ回路(DL)421の入力信号を選択するためのデータセクタ回路(DS)422と、アドレス信号をラッチするためのデータラッチ回路(DL)423と、そのデータラッチ回路(DL)421の入力信号を選択するためのデータセクタ回路(DS)424と、データ出力信号をラッチするためのデータラッチ回路(DL)425と、そのデータラッチ回路(DL)425の入力信号を選択するためのデータセクタ回路(DS)424とを備える。

【0108】さらに、出力回路401は、論理レベル変化端子数監視回路431と、出力バッファ能力制御回路432と、バッファ能力切替制御信号(バッファ動作制御信号)BCをクロック信号CLKに同期してラッチするためのD型フリップフロップ回路(FF)433と、書込/読出モード制御信号R/Wをクロック信号CLKに同期してラッチするためのD型フリップフロップ回路(FF)434とを備える。

【0109】SDRAM制御回路500から出力された複数ビットの制御信号CTSは、データセクタ回路(DS)422の一方の入力端子群へ供給される。データセクタ回路(DS)422の各出力は、データラッチ回路(DL)421の入力端子群へ供給される。データラッチ回路(DL)421の各出力信号CTLは、出力駆動部411の各入力端子へ供給される。また、データラッチ回路(DL)421の各出力信号CTLは、データセクタ回路(DS)422の他方の入力端子群へ供給される。

【0110】データセクタ回路(DS)422は、出力バッファ能力制御回路432から供給される選択制御信号SCがLレベルの場合には、制御信号CTSを選択してデータラッチ回路(DL)421の入力端子群へ供給し、選択制御信号SCがHレベルの場合には、データラッチ回路(DL)421の各出力信号CTLを選択してデータラッチ回路(DL)421の入力端子群へ供給する。データラッチ回路(DL)421は、データセクタ回路(DS)422から出力された各信号をクロック信号CLKに同期してラッチし、ラッチした信号を出力する。これにより、選択制御信号SCがLレベルの場合には、新たな制御信号CTSがラッチされ、選択制御信号SCがHレベルの場合には、先にラッチした制御信号CTLが保持される。

【0111】SDRAM制御回路500から出力された例えば14ビットのアドレス信号ASは、データセクタ回路(DS)424の一方の入力端子群へ供給される。データセクタ回路(DS)424の各出力は、データラッチ回路(DL)423の入力端子群へ供給される。データラッチ回路(DL)423の各出力信号ALは、出力駆動部412の各入力端子へ供給される。また、データラッチ回路(DL)423の各出力信号ALは、データセクタ回路(DS)424の他方の入力端子群へ供給される。

【0112】データセクタ回路(DS)424は、出力バッファ能力制御回路432から供給される選択制御信号SCがLレベルの場合には、アドレス信号ASを選択してデータラッチ回路(DL)423の入力端子群へ供給し、選択制御信号SCがHレベルの場合には、データラッチ回路(DL)423の各出力信号ALを選択してデータラッチ回路(DL)423の入力端子群へ供給する。データラッチ回路(DL)423は、データセクタ回路(DS)422から出力された各信号を、クロック信号CLKに同期してラッチし、ラッチした信号を出力する。これにより、選択制御信号SCがLレベルの場合には、新たなアドレス信号ASがラッチされ、選択制御信号SCがHレベルの場合には、先にラッチした制御信号ALが保持される。

【0113】SDRAM制御回路500から出力された例えば16ビットのデータ出力信号DOは、データセクタ回路(DS)426の一方の入力端子群へ供給される。データセクタ回路(DS)426の各出力は、データラッチ回路(DL)425の入力端子群へ供給される。データラッチ回路(DL)425の各出力信号DBは、出力駆動部413の各入力端子へ供給される。また、データラッチ回路(DL)425の各出力信号DBは、データセクタ回路(DS)426の他方の入力端子群へ供給される。

【0114】データセクタ回路(DS)426は、出力バッファ能力制御回路432から供給される選択制御信号SCがLレベルの場合には、データ出力信号DOを選択してデータラッチ回路(DL)425の入力端子群へ供給し、選択制御信号SCがHレベルの場合には、データラッチ回路(DL)425の各出力信号DBを選択してデータラッチ回路(DL)425の入力端子群へ供給する。データラッチ回路(DL)425は、データセクタ回路(DS)426から出力された各信号を、クロック信号CLKに同期してラッチし、ラッチした信号を出力する。これにより、選択制御信号SCがLレベルの場合には、新たなデータ出力信号DSがラッチされ、選択制御信号SCがHレベルの場合には、先にラッチしたデータ出力信号DBが保持される。

【0115】論理レベル変化端子数監視回路431は、現在の出力状態と次に出力すべき状態とを比較し、論理

レベルが変化する端子数がしきい値データTHによって指定される端子数を越えている場合には、例えばHレベルの論理レベル変化数過大信号OVを出力する。この論理レベル変化端子数監視回路431は、図2に示した論理レベル変化端子数監視回路6からしきい値設定回路63を除去した構成である。現在の出力状態として、ラッチ出力された制御信号CTL、ラッチされたアドレス信号AL、ラッチされたデータ出力信号DBが、論理レベル変化端子数監視回路431の一方の入力端子群NOWに供給される。次に出力すべき状態として、制御信号CTS、アドレス信号AS、データ出力信号DOが、論理レベル変化端子数監視回路431の他方の入力端子群NEXTに供給される。

【0116】出力バッファ能力制御回路432は、例えばHレベルの論理レベル変化数過大信号OVが供給されると、論理レベル変化数過大信号OVが供給された時点の次のクロックの1周期期間に亘って例えばHレベルの一時停止要求信号WAITを出力するとともに、次のクロックの1周期期間に亘って例えばLレベルのバッファ能力切替制御信号(バッファ動作制御信号)BCを出力する。さらに、出力バッファ能力制御回路432は、論理レベル変化数過大信号OVが供給されると、クロックイネーブル信号CKESを例えばHレベルにし、そのHレベルを論理レベル変化数過大信号OVが供給されたクロック期間中保持する。

【0117】なお、出力バッファ能力制御回路432は、一時停止要求信号WAIT、バッファ能力切替制御信号(バッファ動作制御信号)BC、クロックイネーブル信号CKESは、論理レベル変化数過大信号OVが供給された時点から出力を開始し、出力した各信号WAIT、BC、CKESが次のクロック信号CLKに同期してそれぞれ他の回路部によって取り込まれた以降に、各信号WAIT、BC、CKESの出力を停止する構成としてもよい。

【0118】一時停止要求信号WAITは、SDRAM制御回路500の一時停止要求信号入力端子へ供給される。SDRAM制御回路500は、一時停止要求信号WAITが供給されると、クロックの1周期の期間だけメモリアクセスのための制御動作を中断する。

【0119】バッファ能力切替制御信号(バッファ動作制御信号)BCは、D型フリップフロップ(FF)433のデータ入力端子へ供給される。D型フリップフロップ(FF)433は、クロック信号CLKに同期してバッファ能力切替制御信号(バッファ動作制御信号)BCをラッチし、ラッチした信号を出力する。D型フリップフロップ(FF)433でラッチされたバッファ能力切替制御信号(バッファ動作制御信号)BCLは、各出力駆動部411、412、413内の全ての駆動能力の大きいトライステートバッファTBの動作状態制御端子へ供給される。

【0120】トライステートバッファTBは、動作状態制御端子にHレベルが供給された場合には動作状態(入力信号の論理レベルに対応して出力駆動を行なう状態)となり、動作状態制御端子にLレベルが供給された場合には非動作状態(出力側を高インピーダンスにする状態)となるものを用いている。したがって、各出力駆動部411、412、413は、D型フリップフロップ(FF)433を介して供給されるバッファ能力切替制御信号(バッファ動作制御信号)BCLがHレベルである場合、駆動能力の大きいトライステートバッファTBと駆動能力の小さいバッファBF(またはトライステートバッファSTB)との両方によって出力駆動を行なうので、各出力駆動部411、412、413の駆動能力は大きい状態である。

【0121】各出力駆動部411、412、413は、D型フリップフロップ(FF)433を介して供給されるバッファ能力切替制御信号(バッファ動作制御信号)BCLがLレベルになった場合、駆動能力の小さいバッファBF(またはトライステートバッファSTB)だけで出力駆動を行なうので、各出力駆動部411、412、413の駆動能力は大きい状態となる。したがって、バッファ能力切替制御信号(バッファ動作制御信号)BCLによって、各出力駆動部411、412、413の駆動能力を切り替えることができる。

【0122】なお、出力バッファ能力制御回路432は、SDRAM制御回路500から供給される書込/読出モード制御信号R/Wに基づいて書き込み状態にあることを認識し、且つ、論理レベル変化端子数過大信号OVが供給されていない場合に、ときにHレベルのバッファ能力制御信号BCを出力して、各出力駆動部411、412、413の駆動能力を大きい状態に制御している。そして、出力バッファ能力制御回路432は、論理レベル変化端子数過大信号OVが供給された場合には、バッファ能力制御信号BCを所定期間に亘ってLレベルにすることで、各出力駆動部411、412、413の駆動能力を大きい状態へ切り替えさせる。これにより、各出力端子群402~404の出力論理レベルが反転する端子数が許容値以上の多数である場合に、駆動能力を小さくし論理レベルを例えば1周期程度の比較的長い時間をかけて変化させることで、出力論理レベルが反転時の過渡電流を抑制し、過渡電流に伴う高周波雑音の発生を抑制する。

【0123】出力バッファ能力制御回路432によって生成・出力されたクロックイネーブル信号CKESは、駆動能力の大きい出力バッファ414へ供給され、この出力バッファ414を介してクロックイネーブル信号CKEとして出力される。クロックイネーブル信号CKEは、クロックイネーブル信号出力端子405を介して各SDRAM集積回路501~504の各クロックイネーブル信号入力端子CLKIへそれぞれ供給される。

【0124】各SDRAM集積回路501～504は、クロックイネーブル信号CKEに基づいて制御信号、データ信号等の取り込み動作を停止する。したがって、各出力駆動部411、412、413の駆動能力を小さくして1周期程度の比較的長い時間をかけて出力電位を変化させている状態において、論理レベルが十分に確定していない信号が各SDRAM集積回路501～504に取り込まれることはない。

【0125】D型フリップフロップ回路(FF)434は、SDRAM制御回路500から出力される書込/読出モード制御信号R/Wをクロック信号CLKに同期してラッチし、ラッチした書込/読出モード制御信号RWを出力する。D型フリップフロップ回路(FF)434のラッチ出力である書込/読出モード制御信号RWは、出力駆動部413内の駆動能力の小さいトライステートバッファSTBの動作状態制御端子へ供給される。書込/読出モード制御信号R/Wは、書き込み時にHレベルとなるので、このHレベルをD型フリップフロップ回路(FF)434を介して駆動能力の小さいトライステートバッファSTBの動作状態制御端子へ供給することで、駆動能力の小さいトライステートバッファSTBを動作状態にすることができる。なお、読み出し時には、出力駆動部413内の両トライステートバッファTB、STBは共に非動作状態に制御される。これにより、出力駆動部413は高出力インピーダンスとなる。よって、データ入出力端子群404にSDRAM集積回路501～504側から供給された読み出しデータ等の入力信号を入力用バッファ回路416を介して取り込むことができる。

【0126】SDRAM制御回路500から供給されるクロック信号CLKは、駆動能力の大きい出力バッファ回路415を介して各SDRAM集積回路501～504のクロック信号入力端子CLKIへ供給される。

【0127】図8は図7に示したSDRAM制御装置の動作を示すタイミングチャートである。図8(a)はクロック信号CLKを、図8(b)は次の出力状態(SDRAM制御回路500の各出力信号)CTS、AS、DOを、図8(c)は各データセクタ回路422、424、426の入力データ選択を制御するための選択制御信号SCを、図8(d)は現在の出力状態(各ラッチ回路421、423、425のラッチ出力)CTL、AL、DBを示している。図8(e)は論理レベル変化数過大信号OVを、図8(f)は一時停止要求信号WAITを、図8(g)はバッファ能力切替制御信号BCを、図8(h)は各出力端子群402、403、404の出力信号の変化状態を、図8(i)はクロックイネーブル信号CKEを示している。

【0128】SDRAM制御回路500は、図8(f)に示す一時停止要求信号OVが供給されていない場合(一時停止要求信号OVがLレベルである場合)、図8

(a)に示すクロック信号CLKの立ち上がりエッジに同期して各信号CTS、AS、DOを出力する。

【0129】出力バッファ能力制御回路432は、論理レベル変化端子数過大信号OVが供給されない限り、Lレベルの選択制御信号SCを出力している。したがって、時刻t1において、各データセクタ回路422、424、426は、SDRAM制御回路500からの各出力信号CTS、AS、DOを選択しており、これらの出力信号CTS、AS、DOがクロック信号CLKの立ち上がりエッジに同期して各データラッチ回路421、423、425にラッチされる。そして、各出力駆動部411、412、413は、各データラッチ回路421、423、425のラッチ出力CTL、AL、DBに基づいて各出力端子群402、403、404を駆動する。

【0130】出力バッファ能力制御回路432は、論理レベル変化端子数過大信号OVが供給されない限り、Hレベルのバッファ能力切替制御信号BCを出力しているので、このHレベルのバッファ能力切替制御信号BCによって各出力駆動部411、412、413は出力駆動能力が大きい状態に設定される。したがって、時刻t1でラッチされた出力状態Aに基づいて、図8(h)に示すように、出力端子402～403の出力電位は短時間で出力状態Aに対応した論理レベル電圧に駆動される。

【0131】時刻t1～時刻t2までのクロック周期期間では、図8(d)に示す現在の出力状態Aと、図8(b)に示す次に出力すべき出力状態Bとが、論理レベル変化端子数監視回路431によって比較され、出力状態Aから出力状態Bへ遷移する際に出力論理レベルが反転する端子数(信号線数)が計数される。ここで、出力状態Aから出力状態Bへ遷移する際に出力論理レベルが反転する端子数(信号線数)がしきい値(許容数)以下であるため、論理レベル変化端子数過大信号OVは出力されない。

【0132】次のクロック周期(時刻t2～時刻t3)では、出力状態Bに係る出力されるとともに、出力状態Bと次に出力すべき状態Cとが比較される。ここで、出力状態Bから出力状態Cへ遷移する際に出力論理レベルが反転する端子数(信号線数)はしきい値(許容数)を越えている。このため、論理レベル変化端子数監視回路431から、図8(e)に示すように、Hレベルの論理レベル変化端子数過大信号OVが出力される。

【0133】出力バッファ能力制御回路432は、論理レベル変化端子数過大信号OVが供給されると、次のクロック周期期間(時間t3～t4)において、図8(c)に示すように選択制御信号SCをHレベルにするとともに、図8(f)に示すように一時停止要求信号WAITを出力する。また、出力バッファ能力制御回路432は、論理レベル変化端子数過大信号OVが供給された次のクロック周期期間(時間t3～t4)において、

図8 (g) に示すようにバッファ能力切替信号BCをLレベルにすることで、各出力駆動部411, 412, 413の出力駆動能力を低下させる。さらに、出力バッファ能力制御回路432は、図8 (i) に示すようにクロックイネーブル信号CKEをHレベルとする。

【0134】各出力駆動部411, 412, 413の駆動能力が小さい状態に設定されたため、各出力端子群の出力電位は図8 (h) に示すように出力状態Bから出力状態Cへ緩やかに変化する。出力論理レベルが反転する端子数 (信号線数) が多い場合には過渡電流等によってより大きな高周波雑音が発生することになるが、出力駆動能力を低下させ、出力信号の変化を緩やかにすることで、高周波雑音の発生を軽減させることができる。

【0135】SDRAM制御回路500は、図8 (f) に示した一時停止要求信号WAITに基づいて、クロック信号の1周期の期間だけメモリアクセスのための制御動作を中断するので、次の出力状態Dを出力した状態を時刻t5まで保持し、時刻t5におけるクロック信号CLKの立ち上がり同期してさらに次の出力状態Eを出力する。

【0136】各データセクタ回路422, 424, 426は、Hレベルの選択制御信号SCに基づいて各データラッチ回路421, 423, 425のラッチ出力CTL, AL, DBを選択して各データラッチ回路421, 423, 425の入力端子へ帰還させる。したがって、各データラッチ回路421, 423, 425は、時刻t4におけるクロック信号CLKの立ち上がりで各データラッチ回路421, 423, 425の出力をラッチすることになる。これにより、時刻t3でラッチした出力状態Cが時刻t5まで保持される。

【0137】時刻t4以降では、各出力駆動部411, 412, 413の駆動能力が高い状態に復帰するため、時刻t4～時刻t5に期間においては出力状態Cに対応した電位状態に確実に駆動される。

【0138】一方、各SDRAM集積回路501～504は、クロックイネーブル信号CKEがHレベルになっているクロック期間 (時刻t2～時刻t3) の次のクロック期間 (時刻t3～時刻t4) では、クロック信号CLKに同期するデータ取り込み動作を行なわないで、論理レベルが十分に確定していない信号が各SDRAM集積回路501～504に取り込まれることはない。

【0139】よって、図7に示したSDRAM制御装置400は、SDRAM集積回路501～504に対するアクセス時に、出力レベル反転端子数が多い場合 (大きな高周波雑音が発生する虞れがある場合) にのみ出力駆動能力を低下させ、過渡電流を抑制することで高周波雑音の発生を防止することができる。出力レベル反転端子数が少ない場合 (大きな高周波雑音が発生する虞れがない場合) には、出力駆動能力の大きい状態で高速な出力駆動を行なう。よって、メモリに対するアクセス

の高速化要求に対応しながら、EMI (電磁障害) の問題を解消することが可能である。

【0140】なお、本実施形態では、クロック信号の立ち上がりエッジに同期して各種信号を出力する例を示したが、クロック信号の立ち上がりエッジに同期して各種信号を出力する構成としてもよい。また、クロック信号の一方のエッジに同期して各種信号を出力し、出力された信号を受け取る側ではクロック信号の他方のエッジに同期して出力された信号を取り込むようにしてもよい。

【0141】

【発明の効果】以上説明したようにこの発明に係る出力回路は、出力レベルが反転する端子数に対応して出力回路の駆動能力を切り替える構成としたので、出力レベル反転端子数が少ない場合 (高周波雑音の発生も少ない場合) には、出力駆動能力を高い状態に保持して、データ等の出力を高速に行なわせることができる。そして、出力レベル反転端子数が多い場合 (大きな高周波雑音が発生する虞れがある場合) にのみ出力駆動能力を低下させ、過渡電流を抑制することで高周波雑音の発生を防止することができる。したがって、この発明に係る出力回路を適用することで、回路動作の高速化要求に対応しながら、EMI (電磁障害) の問題を解消することが可能となる。

【図面の簡単な説明】

【図1】この発明に係る出力回路の第1実施形態を示すブロック構成図である。

【図2】論理レベル変化端子数監視回路の一具体例を示すブロック構成図である。

【図3】図1に示した出力回路の動作を示すタイミングチャートである。

【図4】この発明に係る出力回路の第2実施形態を示すブロック構成図である。

【図5】この発明に係る出力回路の第3実施形態を示すブロック構成図である。

【図6】図5に示した出力回路の動作を示すタイミングチャートである。

【図7】この発明に係る出力回路を適用したSDRAM制御装置のブロック構成図である。

【図8】図7に示したSDRAM制御装置の動作を示すタイミングチャートである。

【図9】従来のアドレスドライブ回路の回路構成図である。

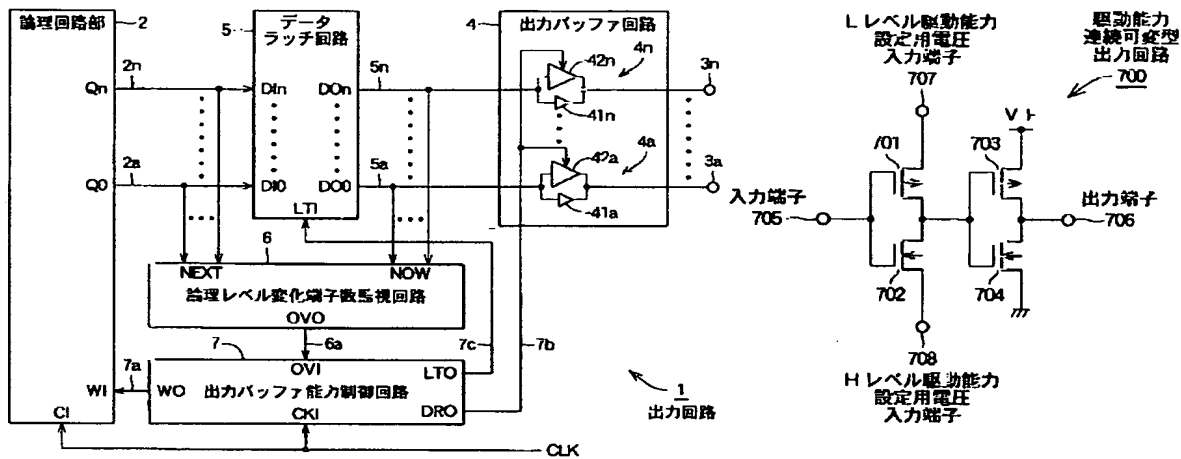
【図10】従来の駆動能力連続可変型出力回路の回路構成図である。

【図11】従来の駆動能力切替型出力回路の回路構成図である。

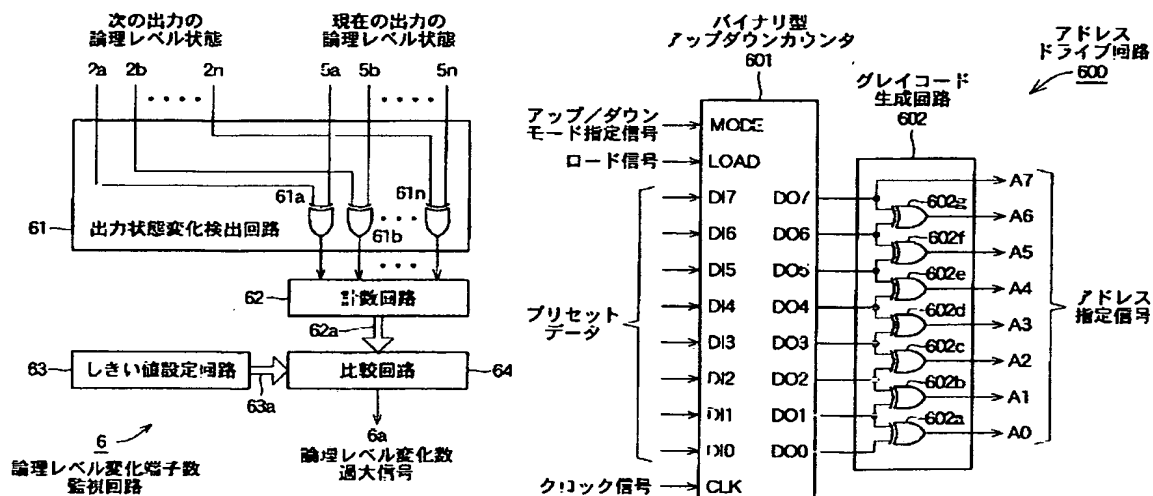
【符号の説明】

- 1, 101, 201, 401 出力回路
- 2, 102 論理回路部
- 3a～3n 出力端子

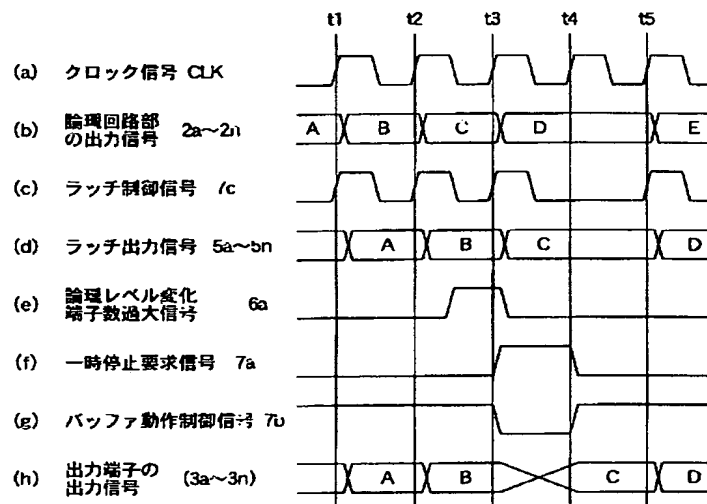
【図10】



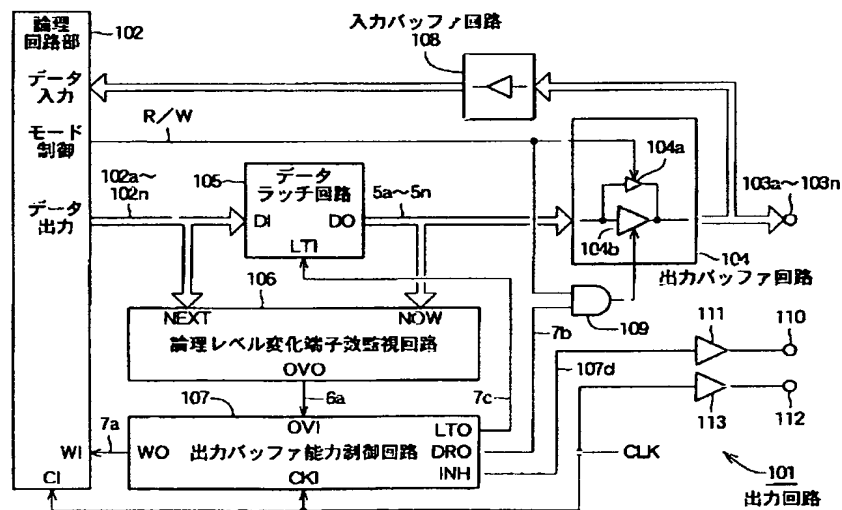
【图9】



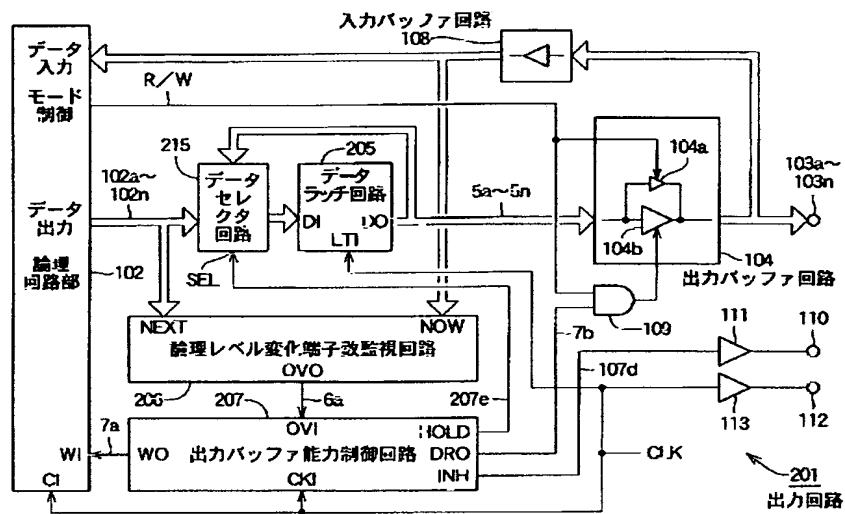
【図3】



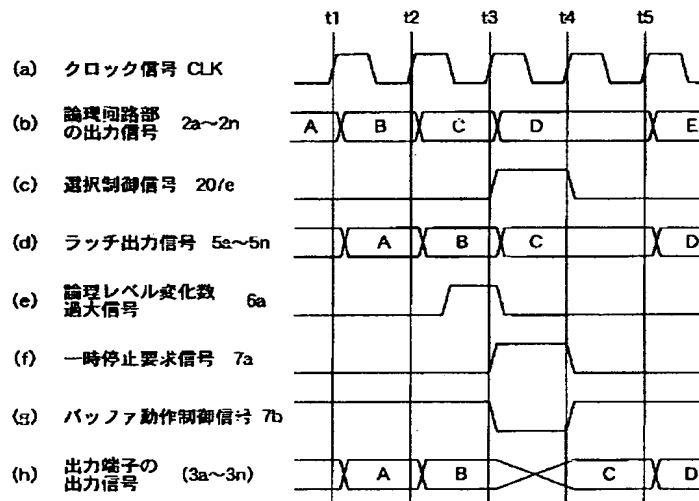
【図4】



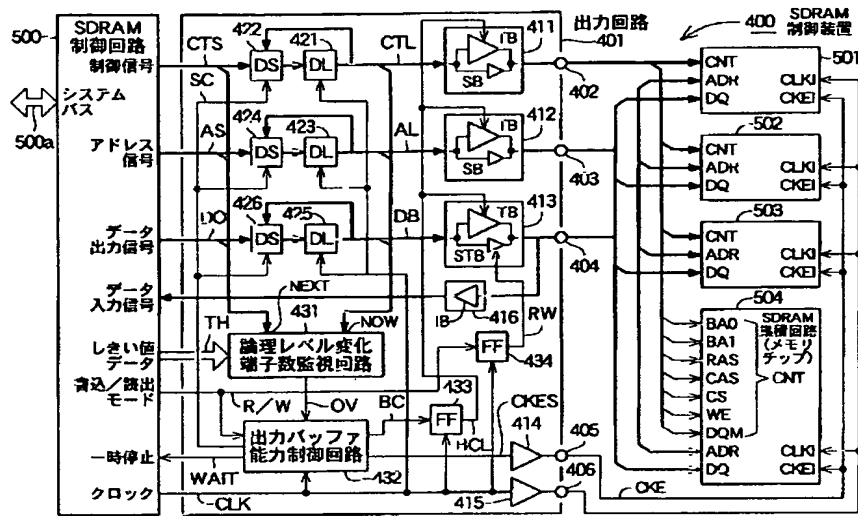
【図5】



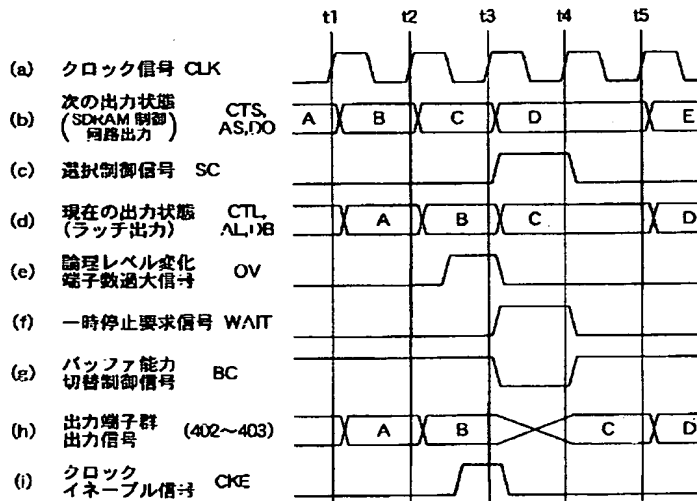
【図6】



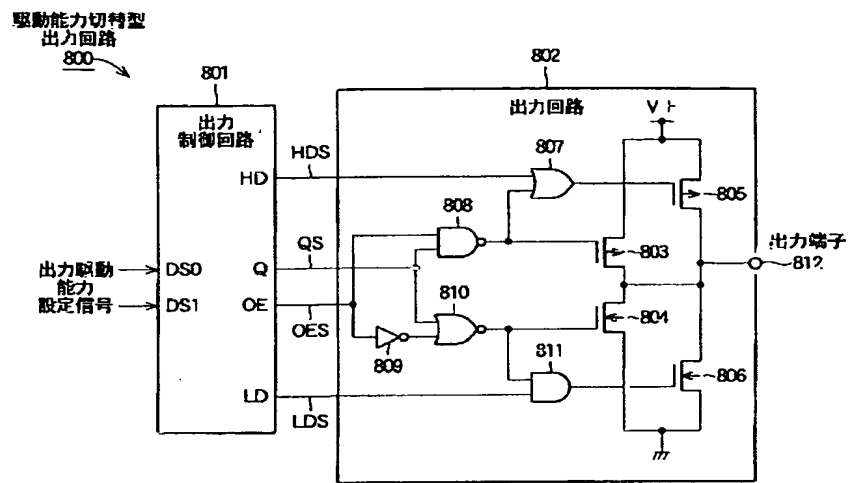
【図7】



【図8】



【図11】



フロントページの続き

Fターム(参考) 5J056 AA04 AA39 BB02 BB07 BB17
BB24 CC00 CC09 CC14 FF01
GG12
5J069 AA01 AA18 AA21 AA45 AA51
AA59 CA36 CA41 CA85 FA04
FA10 FA18 HA10 HA17 HA38
KA03 KA33 KA35 KA36 KA49
MA19 TA01 TA06